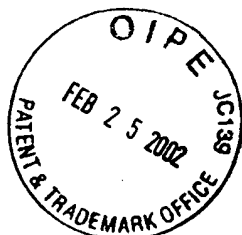


09/822,344

OA -012



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 4月 3日

出願番号

Application Number:

特願2000-101580

出願人

Applicant (s):

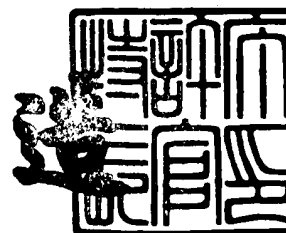
オプトレックス株式会社
旭硝子株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 20000197

【提出日】 平成12年 4月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/137

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 永井 真

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 高野 智弘

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 田原 慎哉

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 舩田 紀子

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区羽沢町 1 1 5 0 番地 旭硝子株式会社内

 【氏名】 新山 聡

【特許出願人】

 【識別番号】 000103747

 【氏名又は名称】 オプトレックス株式会社

【特許出願人】

【識別番号】 000000044

【氏名又は名称】 旭硝子株式会社

【代理人】

【識別番号】 100103090

【弁理士】

【氏名又は名称】 岩壁 冬樹

【電話番号】 03-3811-3561

【手数料の表示】

【予納台帳番号】 050496

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ性コレステリック液晶表示装置の駆動方法および駆動装置

【特許請求の範囲】

【請求項1】 メモリ性コレステリック液晶を用いた液晶表示装置を駆動する駆動方法において、駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、前記コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアス配向に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をフォーカルコニックに移行させるための電圧を印加する第3の段階とを含むことを特徴とするメモリ性コレステリック液晶表示装置の駆動方法。

【請求項2】 メモリ性コレステリック液晶を用いた液晶表示装置を駆動する駆動方法において、駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、前記コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアス配向に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をフォーカルコニックとプレナーとの中間の状態に移行させるための電圧を印加する第3の段階とを含むことを特徴とするメモリ性コレステリック液晶表示装置の駆動方法。

【請求項3】 第2の段階で印加される電圧値は0である請求項1または請求項2記載のメモリ性コレステリック液晶表示装置の駆動方法。

【請求項4】 第2の段階の期間は、0.3ms以上100ms以下である請求項3記載のメモリ性コレステリック液晶表示装置の駆動方法。

【請求項5】 第1の段階の印加電圧波形がV1の電圧振幅を持ったパルス電圧によって構成され、第3の段階の印加電圧波形がV2の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間をT1、T2とすると、V1はV2より大きく、かつ、T2がT1より小さい請求項1または請求項2記載のメモリ性コレステリック液晶表示装置の駆動方法。

【請求項6】 第1の段階から第3の段階の後に各表示画素の表示データにも

とづく電圧波形を印加するために線順次動作を行う際に、オン表示にはプレナーが書き込まれ、オフ表示にはフォーカルコニックが書き込まれるように印加電圧条件を定める場合、中間調表示にパルス幅変調方式を用いる請求項 1 または請求項 2 記載のメモリ性コレステリック液晶表示装置の駆動方法。

【請求項 7】 メモリ性コレステリック液晶を用いた液晶表示装置を駆動する駆動装置において、第 1 の段階の期間を設定する第 1 の期間設定手段と、第 1 の段階に続く第 2 の期間を設定する第 2 の期間設定手段と、第 2 の段階に続く第 3 の期間を設定する第 3 の期間設定手段と、前記第 1 の期間設定手段が作成した第 1 の期間で配向が電圧印加方向に垂直になるように前記コレステリック液晶に電圧を印加し、前記第 2 の期間設定手段が作成した第 2 の期間で前記コレステリック液晶をホモジニアス配向に移行させるための電圧を印加し、前記第 3 の期間設定手段が作成した第 3 の期間で前記コレステリック液晶をフォーカルコニックまたはプレナーとフォーカルコニックとの中間の状態に移行させるための電圧を印加する電圧印加手段とを備えたことを特徴とするメモリ性コレステリック液晶表示装置の駆動装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、メモリ型コレステリック液晶素子を用いた単純マトリクス of コレステリック液晶表示装置を駆動するための駆動方法および駆動装置に関する。

【 0 0 0 2 】

【従来の技術】

液晶素子を用いた液晶ディスプレイ（液晶表示装置）は、軽量で薄型であること、また消費電力が小さいことから、携帯情報表示機器として用いられている。そして、液晶ディスプレイに用いられる液晶素子として、比較的低価格で比較的高いコントラストを得ることができる S T N 素子が広く用いられている。

【 0 0 0 3 】

液晶素子は、発光素子ではなく光シャッターとして用いられるので外光が必要である。そこで、例えば、光源としてのバックライト（サイドライトを含む）が

設けられた透過型STN液晶ディスプレイ（以下、透過型液晶ディスプレイという。）が用いられている。しかし、バックライトが設けられた透過型液晶ディスプレイは表示電力が大きく、携帯情報表示機器としての使用には不利である。

【0004】

そのために、携帯情報表示機器として反射型STN液晶ディスプレイ（以下、反射型液晶ディスプレイという。）が用いられることが多い。反射型液晶ディスプレイでは、バックライトを用いずに、または、透過型液晶ディスプレイに比べて消費電力の低いバックライトを用いて実用に供することができる。

【0005】

しかし、反射型液晶ディスプレイでも、少なくとも1枚の偏光板が必要であることから、外光に対して反射率が制限されてしまいバックライトを用いないと十分な明るさの表示品位を得ることができない場合がある。また、表示の高精細化にともなって、駆動電圧が増加することによる消費電力の増大や、駆動ライン数の増加によるコントラストの低下という問題もある。

【0006】

そこで、液晶ディスプレイの明るさを制限する偏光板を用いず、高精細化しても表示品位が低下しない液晶ディスプレイが注目される。そのような液晶ディスプレイとして、メモリ型コレステリック液晶を用いた液晶ディスプレイが提案されている（George H.Heilmeyer, Joel E.Goldmacher et al.Appl.Phys.Lett.,13 (1968),132）。

【0007】

コレステリック液晶またはカイラルネマチック液晶は、ネマチック液晶と光学活性物質を混合して製造される。コレステリック液晶を一对の平行した基板間に挟持し、液晶のディレクタが一定周期毎に回転するねじれ構造のねじれの中心軸（ヘリカル軸と呼ぶ。）が基板に対して平均的に垂直方向になるように配列させるとき、そのねじれの向きに対応した円偏光を反射する。反射する光の中心波長は、基板面に平行な液晶のディレクタがそのねじれによって1回転する間のヘリカル軸上の距離（ヘリカルピッチと呼ぶ。）とネマチック液晶の基板面に対して平行な2次元面での平均屈折率の積になる。

【 0 0 0 8 】

このように、コレステリック液晶がそのヘリカルピッチと液晶の屈折率により特定の波長の円偏光を反射する現象を選択反射と呼んでいる。この選択反射を示す液晶配列においても、ヘリカル軸がほぼ完全に基板面に対して垂直となる場合（完全プレナーと呼ぶ。）と、複数に分かれた液晶ドメインのヘリカル軸の平均的な方向が基板面に対してほぼ垂直となる場合（不完全プレナーまたは単にプレナー）があり、完全プレナーの液晶配列とプレナーの液晶配列とでは異なった反射挙動を示す。完全プレナー配列では入射光に対する正規反射が大きく、特定の視角において極めて高い反射を示す。プレナー配列においては、正規反射は相対的に小さく比較的広い視角において高い反射挙動を示す。

【 0 0 0 9 】

コレステリック液晶は、上記の配列とは別の液晶配列として複数の液晶ドメインのヘリカル軸が基板に対してランダム方向または非垂直方向に配列している配列（フォーカルコニックと呼ぶ。）をとることもできる。フォーカルコニックでは、多くの液晶では全体として弱い散乱状態を示し、選択反射のように特定の波長の光を反射することはない。

【 0 0 1 0 】

この2つの状態（プレナーとフォーカルコニック）は電界が印加されていないときでも安定であり、プレナーまたは完全プレナーの選択反射は偏光板を用いないため明るく、さらにプレナーでは視野角も広い。コレステリック液晶を用い、その選択反射を利用する液晶光学素子は電界を印加しない状態でもその液晶配向が保持されることによりメモリ型として機能できるので、消費電力が少ない液晶光学素子を得ることができる。

【 0 0 1 1 】

コレステリック液晶は、プレナーにおいては、液晶のディレクタが一定周期毎に回転するねじれ構造を持っている。ねじれの中心軸をヘリカル軸と呼び、ディレクタが1回転する間のヘリカル軸上の距離をピッチと呼ぶ。選択反射波長 λ は、液晶組成物の平均屈折率 n と液晶組成物のピッチ p の積にほぼ等しい（ $\lambda = n \cdot p$ ）。ピッチ p は、光学活性物質の添加量 c と光学活性物質の定数 HTP （ H

elical Twisting Power) から、 $p = 1 / (c \cdot HTP)$ によって算出される。以上のように、選択反射色は、光学活性物質の種類と添加量によって決定される。

【 0 0 1 2 】

プレナーやフォーカルコニックは、電界を印加することによってそれぞれに変化させることができる。特に、フォーカルコニックからプレナーへの変化は、液晶分子が電界印加方向とほぼ平行になるホメオトロピックと呼ばれる液晶配向を経由して起こるので最も高い電圧が必要とされる。

【 0 0 1 3 】

そして、平坦なガラス面に配向膜をコートしスペーサを介して合わせたものにコレステリック液晶を注入することによってコレステリック液晶ディスプレイが作製される。さらに、片方のガラス面には例えば可視光の全域または一部の光を吸収する吸収層が塗布され、両ガラス面上の透明電極を通じて電圧が印加されることによって所望の表示が実現される。また、印加電圧時の表示を所望の表示とするのではなく、電圧処理を施してから印加電圧を消去した後の配向状態で、所望の表示を得るように使用することもできる。

【 0 0 1 4 】

コレステリック液晶では、一連の印加電圧波形の実効値が直接電圧消去後の状態を決定するのではなく、電圧消去後の表示は、直前に印加された電圧パルスの印加時間および振幅値に依存する。従って、コレステリック液晶ディスプレイは、これまでのSTN素子を用いた液晶ディスプレイなどのように、常時電圧を印加して表示を保持する必要もなく、さらに高精細化に伴う走査電極数の増加によって駆動電圧が増加することもない。

【 0 0 1 5 】

コレステリック液晶の配向状態の一例として、図 1 5 (a) に示すプレナーと図 1 5 (b) に示すフォーカルコニックがある。図 1 5 (a) に示すプレナーでは、多数の棒状分子による多くのドメイン (図において鼓型で示す) が生じ、ドメインごとに僅かずつらせん軸方向が異なり、平均的ならせん軸方向がほぼガラス面に垂直な方向を向いている。このとき、入射した外光の特定波長を反射する

ことが知られている。この波長を選択波長と呼ぶ。選択波長は、完全プレナーではヘリカルピッチと液晶の平均的屈折率の積によって求められるが、実際にはこの波長より短波長側にずれる傾向がある。

【 0 0 1 6 】

図 1 5 (b) に示すフォーカルコニックでは、ドメインごとのらせん軸方向がランダム分布し、散乱現象が生じる。このとき、背面の吸収層によって吸収層の色の表示が得られる。

【 0 0 1 7 】

具体的な印加電圧と光学特性の関係を説明する。印加電圧と電圧消去後の光学特性を調べるために液晶素子に電圧パルスを印加して消去して表示状態を確認することを繰り返す。そのとき、電圧パルスの印加時間を固定して電圧振幅を増加させていくと、電圧振幅が小さいうちは、電圧消去後、初期の配向状態が変化せず、反射率は変化しない。電圧振幅をさらに増加させていくと、電圧消去後、微散乱状態となり吸収層によって吸収層の色の表示（吸収層が黒の場合には黒表示）が得られる。このときの配向状態は、フォーカルコニックである。さらに電圧を増加させると、電圧消去後の状態として、入射した外光の特定の波長の光を反射するプレナーが得られる。

【 0 0 1 8 】

つまり、コレステリック液晶に対して所定振幅以上の電圧を印加し、消去するとフォーカルコニックに変化し、さらに電圧を増加すると、電圧消去前後の状態がフォーカルコニックからプレナーに変化するが、この間に電圧印加時のホメオトロピック状態（垂直配向状態）が介在する。すなわち、フォーカルコニックから高い電圧をかけるとホメオトロピック状態に変化し、電圧消去直後ホモジニアス（平行）状態となり、徐々にプレナーに変化する。各状態の具体的な配向状態は図 1 5 に示すようになっていると考えられる。

【 0 0 1 9 】

従って、コレステリック液晶では、印加電圧を消去しても状態が変化しない安定状態であるプレナーとフォーカルコニックが存在する。その性質を利用して、例えば明状態であるプレナーと暗状態（吸収層が黒の場合）であるフォーカルコ

ニックの2状態を利用してメモリ型の液晶表示装置を実現することができる。なお、プレナーとフォーカルコニックの間には、米国特許4097127号に開示されているように、両者のドメインの割合に応じた安定的な中間状態も存在することが確認されているので、電圧印加条件によって中間調表示を行うことも可能である。

【0020】

次に、コレステリック液晶を用いた液晶表示装置におけるマトリクス表示について説明する。フォーカルコニックに遷移させるための電圧を V_F とし、プレナーに遷移させるための下限電圧を V_P とし、電圧を印加しても表示状態が変わらない上限電圧を V_S とする。線順次駆動を実施した場合、行電極に電圧振幅 V_r の電圧パルスが入力され、それに同期して列電極には電圧振幅が V_c の電圧パルス（選択パルス）が入力される。各行電極に対して1度ずつ選択パルスが入力されることによって、1つの表示シーケンスを終了する。

【0021】

表示シーケンスにおいて、オン表示が選択された場合には表示画素に $V_r + V_c$ の電圧振幅が1度だけ入力され、オン表示の非選択期間では電圧 V_c が印加される。また、オフ表示が選択された場合には表示画素に $V_r - V_c$ の電圧振幅が1度だけ入力され、オフ表示の非選択期間では電圧 V_c が印加される。オン時にはプレナーが選択され、オフ時にはフォーカルコニックが選択されるとすると、それぞれの条件は以下の通りである。

【0022】

$$V_r + V_c > V_P, \quad V_r - V_c = V_F$$

【0023】

さらに、書き込まれた状態が変化しないように、 $V_c < V_S$ でなければならない。以上のように印加電圧の制御を行えばマトリクス表示が可能になる。

【0024】

【発明が解決しようとする課題】

コレステリック液晶表示装置では走査電極数が増加しても表示データが書き込まれた状態での表示品位は悪化しないものの、走査電極数が増加するに従って、

表示データを書き込む際の表示の見映えが悪くなる。すなわち、表示状態を書き込んでいくときに各走査電極に一定の印加時間で選択パルスを入力とすると、走査電極数が増加するに従って、表示画面上を走査線が流れていくのが肉眼で見えるようになってしまう。従って、走査電極数の増加に伴って選択パルスの印加時間を短くして表示シーケンスを短くする必要がある。

【 0 0 2 5 】

しかし、選択パルスの印加時間を短くしていくと、オフ表示（フォーカルコニック）からオン表示（プレナー）への書き込みは良好であるのに対して、オン（プレナー）からオフ（フォーカルコニック）に書きこむ場合には、書きこまれたオフ表示が十分暗くならない。すなわち、コントラストの低い画面になってしまう。また、オン表示（プレナー）からオフ表示（フォーカルコニック）に書き込まれた部分と、複数回連続してオフ表示が書きこまれた部分には明暗差が生じ表示むらが生じる。

【 0 0 2 6 】

その原因は、選択パルスの印加時間を短くしていくと、1度のオフ表示の書き込みでは完全なフォーカルコニックに遷移させることができないことにある。さらに、書き込まれたオフ表示の光学特性すなわちフォーカルコニックの度合いが、それ以前の状態に依存して変化することにある。その結果、以前に書き込んだ画像が残像として見えてしまうこともある。従って、良好な表示品位と両立させつつ、選択パルスの印加時間を短くすること、すなわち走査電極数を増加させることは困難である。

【 0 0 2 7 】

以上に説明したように、コレステリック液晶表示装置を用いれば、常時電圧を印加して表示を保持する必要もなく、さらに高精細化に伴う走査電極数の増加によって駆動電圧が増加することもないのであるが、走査電極数を増加して表示容量を大きくしようとするときコントラストが低下したり、表示むらが生じてしまうという課題がある。逆にいえば、高精細化した場合に、コントラストの低下や表示むらおよび残像を防止するには書込時間を長時間化する必要があるが、そのようにしたのは、表示画面上を走査線が流れていくのが肉眼で見えるようになっ

てしまう。

【 0 0 2 8 】

そこで、本発明は、コレステリック液晶表示装置において、高速書き込みを行っても残像を生じさせたりコントラストが低下することを防止でき、表示を高精細化した場合にも表示品位を高くすることができる駆動方法および駆動装置を提供することを目的とする。

【 0 0 2 9 】

【課題を解決するための手段】

本発明によるメモリ性コレステリック液晶を用いた液晶表示装置の駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第1の段階と、コレステリック液晶をホモジニアス配向に移行させるための電圧を印加する第2の段階と、コレステリック液晶をフォーカルコニックに移行させるための電圧を印加する第3の段階とを含むことを特徴とする。

【 0 0 3 0 】

本発明の他の態様のメモリ性コレステリック液晶を用いた液晶表示装置の駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第1の段階と、コレステリック液晶をホモジニアス配向に移行させるための電圧を印加する第2の段階と、コレステリック液晶をフォーカルコニックとプレナーとの中間の状態に移行させるための電圧を印加する第3の段階とを含むことを特徴とする。

【 0 0 3 1 】

第2の段階で印加される電圧値は例えば0である。また、第2の段階の期間は、0.3ms以上100ms以下であることが好ましい。

【 0 0 3 2 】

メモリ性コレステリック液晶を用いた液晶表示装置の駆動方法は、第1の段階の印加電圧波形がV1の電圧振幅を持ったパルス電圧によって構成され、第3の段階の印加電圧波形がV2の電圧振幅を持ったパルス電圧によって構成され、そ

れぞれの段階の印加時間を T_1 、 T_2 とすると、 V_1 は V_2 より大きく、かつ、 T_2 が T_1 より小さくなるような駆動方法であってもよい。

【 0 0 3 3 】

また、第 1 の段階から第 3 の段階の後に各表示画素の表示データにもとづく電圧波形を印加するために線順次動作を行う際に、オン表示にはブレナーが書き込まれ、オフ表示にはフォーカルコニックが書き込まれるように印加電圧条件を定める場合、中間調表示にパルス幅変調方式を用いる駆動方法であってもよい。

【 0 0 3 4 】

本発明によるメモリ性コレステリック液晶を用いた液晶表示装置の駆動装置は、第 1 の段階の期間を設定する第 1 の期間設定手段と、第 1 の段階に続く第 2 の期間を設定する第 2 の期間設定手段と、第 2 の段階に続く第 3 の期間を設定する第 3 の期間設定手段と、第 1 の期間で配向が電圧印加方向に垂直になるようにコレステリック液晶に電圧を印加し、第 2 の期間でコレステリック液晶をホモジニアス配向に移行させるための電圧を印加し、第 3 の期間でコレステリック液晶をフォーカルコニックに移行させるための電圧を印加する電圧印加手段とを備えたことを特徴とする。

【 0 0 3 5 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。液晶光学素子是一对の電極付き基板の間に液晶組成物を挟持して製造される。電極上にはポリイミドなどの有機薄膜またはシリカなどの無機薄膜を形成しても形成しなくてもよいが、TN 液晶光学素子や STN 液晶光学素子で一般に実施されている電極上に形成したポリイミド等の有機薄膜を布等で一方向に擦る（ラビングと呼ぶ。）と、配向膜の種類によってはコレステリック液晶のフォーカルコニックの安定性が失われてしまうことがある。よって、メモリ性を生かした低消費電力の液晶光学素子を得るためには、TN 液晶光学素子や STN 液晶光学素子で使用する有機薄膜を電極上に設ける場合には、通常、ラビングを行わないか、または、電極と組成物が直接接するようにするのが好ましい。

【 0 0 3 6 】

電極間の距離はスペーサ等で保持することができ、間隔は $2 \sim 15 \mu\text{m}$ が好ましく、さらには $3 \sim 6 \mu\text{m}$ が好ましい。電極間隔が小さすぎるとコントラストが低下し、大きすぎると駆動電圧が上昇する。図1に、本発明の液晶光学素子の一例の模式的断面図を示す。

【0037】

図1には、ガラス基板1A、1B、電極2A、2B、高分子薄膜3A、3B、液晶組成物4、光吸収体5が備えられた液晶光学素子10が示されている。液晶光学素子10は、電圧非印加で選択反射状態と（微小）散乱状態を呈する素子である。

【0038】

表示形態（電極の形成パターン）はセグメント表示などの非フルドット表示でもよいし、行電極と列電極の組み合わせによるドットマトリクス表示でもよい。

【0039】

電極を支持する基板は、ガラス基板でも樹脂基板でもよく、また、ガラス基板と樹脂基板の組み合わせでもよい。反射表示素子として用いる場合には、どちらか一方の基板の内面または外面に光吸収体を設置するか、または、基板として光吸収機能を持ったものを用いてもよい。

【0040】

電極面内に微量のスペーサを散布し、対向させた基板の4辺をエポキシ樹脂等のシール材で封止し、真空注入によって液晶組成物をセルに満たし、液晶光学素子10を得ることができる。

【0041】

選択パルスの印加時間を短くすることによって生じる問題のうち残像に関する問題は、書き込まれたオフ状態の光学特性すなわちフォーカルコニックの度合いが、それ以前の状態に依存して変化することによって生ずるので、表示データ書き込み以前の表示状態を統一しておけば、残像を解消することができると考えられる。すなわち、所望の表示データを書き込む前に全ての画素の初期状態を揃えておけば、新たな表示データが表示品質のよい状態を呈するように書き込まれる。

【 0 0 4 2 】

そこで、まず、印加電圧と電圧消去後の光学特性を調べるために、液晶パネルに電圧パルスを印加し、次いで消去して表示状態を確認する実験を繰り返した。電圧処理を行う前の状態としてプレナーとフォーカルコニックとのそれぞれを用いた。図 2 は、実験結果の概略を示す説明図である。図 2 には、13.2ms の電圧パルスを印加し電圧消去してから10秒後の反射率を測定した場合の電圧振幅と反射率との関係の一例が示されている。図 2 において、菱形（◇）は初期状態がプレナーであった場合を示し、四角形（□）は初期状態がフォーカルコニックであった場合を示す。

【 0 0 4 3 】

実験結果から、反射率が高い安定状態であるプレナーにするには、その前の状態によらず、35V以上の振幅をもつ電圧を印加することによって実現できることがわかる。換言すれば、電圧印加時に十分垂直配向するようなパルス電圧処理を行えば、電圧を消去することによってプレナーに変化させられることを意味している。また、反射率が低い安定状態であるフォーカルコニックは、23Vの振幅をもつ電圧を印加する処理によって得ることができる。

【 0 0 4 4 】

つまり、実験に用いたコレステリック液晶では、初期状態がいずれの状態であっても、コレステリック液晶 1 に35V以上の振幅をもつ電圧を13.2ms印加すればコレステリック液晶 1 をプレナーにすることができる。また、反射率が低い安定状態であるフォーカルコニックは、23Vの振幅をもつ電圧を印加する処理によって得ることができる。

【 0 0 4 5 】

初期状態を描えるように電圧制御する場合には1回の表示シーケンスに要する時間は初期状態を描えるのに要する時間と全ての走査電極を選択するのに要する時間の合計になるが、前の状態がどのような状態であっても初期状態をフォーカルコニックにしようとする場合には、初期状態に描えるの時間がかかってしまう。その結果、表示シーケンスの時間が長くなってしまう。つまり、前の状態に関わりなく初期状態をフォーカルコニックに描えようとする则表示シーケンスの時

間が長くなってしまふ。

【0046】

このことを図2～図4を用いて説明する。電圧パルス幅が13.2msのときには、図2から、23Vの電圧設定でプレナーはフォーカルコニックに変わることがわかる。しかし、電圧パルス幅が6.6msのときには、図3から、24Vの電圧設定でプレナーは完全にフォーカルコニックに変わることができなくなっている。電圧パルス幅が3.3msのときには、図4から、電圧パルス幅が6.6msの場合に比べてさらに状況が悪化する。すなわち、不完全なフォーカルコニックになってしまう。不完全なフォーカルコニックでは、この処理の後にマトリクス表示を行った場合、以前書き込んだ状態の影響をうけて残像のある表示になってしまう。

【0047】

従って、前の状態がどのような状態であってもコレステリック液晶1の初期状態をフォーカルコニックに揃えようとする、長いパルス幅の電圧パルスが必要である。すなわち、初期状態にするのに時間がかかってしまふ。

【0048】

また、図3および図4の実験結果が意味することは、駆動時間を短縮するには、以前に書込まれた状態を消去するために垂直配向にする必要があり、オフ表示を十分書込めるようにあらかじめフォーカルコニックを書込んである必要があるということである。そこで、本発明では、表示データを書き込む前に一旦各画素の初期状態を垂直状態にし、その後、フォーカルコニックまたはフォーカルコニックとプレナーの中間状態にする初期化（リセット）を行い、その状態で表示データに対応する電圧書き込みを行う。

【0049】

不十分なフォーカルコニックは実際のマトリクス駆動では、リセットを入れない場合には、問題点としてコントラストの低下というよりも残像の問題がある。残像を消去するために、高電圧を印加（垂直配向）する必要があり、これがプレナーリセットである。この時、選択時間を短くしていくと、電圧を調整してもフォーカルコニックが書けないので、コントラストが低くなる。プレナー表示は短

時間でも高電圧をかければかけるので、初期状態として均一なフォーカルコニック、あるいはフォーカルコニックとプレナーの中間を書く。この時、残像を消すと、フォーカルコニックを書込むのに２段階の書き込みが必要になる。残像を消すと、フォーカルコニックを書き込む間に、垂直な状態から水平の状態へ遷移する為の無印加期間を設ける必要がある。第３段階で不十分なフォーカルコニック（フォーカルコニックとプレナーの中間）を書くのは、リセット時間を短くする為である。リセット時間＝後述する第１から第３までの印加時間を短くしたい理由は、線順次駆動の流れ現象と同じように、リセット部で明滅する現象が人間に見えるからこれを短くしたいからである。これはプレナーリセットでも同様である。

【 0 0 5 0 】

この実施の形態では、コレステリック液晶１に比較的高い電圧をかけて一旦ホメオトロピック状態（垂直配向状態）にし、その状態で電圧を消去し、さらに、所定の電圧を印加してコレステリック液晶１をフォーカルコニックに揃えた初期状態を形成する。あるいは、コレステリック液晶１をフォーカルコニックとプレナーとの中間状態に揃えた初期状態を形成する。そして、その状態で表示させたいデータの書き込みを行う。

【 0 0 5 1 】

なお、図２～図４に示すような実験結果から求められる条件にしたがって、プレナーに対応する電圧処理を施し、連続してフォーカルコニックに対応する電圧処理を実施した場合に、最初の電圧処理時には垂直配向状態を取るが、次の電圧処理を施した後は必ずしも所定のフォーカルコニックにならないことがある。そこで、この実施の形態では、第１の段階である比較的高い電圧を印加する処理を施した後、電圧を印加しない状態すなわち電位差０の状態である第２の段階を設け、その後にフォーカルコニックに対応する電圧処理（第３の段階）を実施して、個々の表示データに応じた書き込みを行う。電圧を印加しない状態すなわち電位差０の状態の期間（第２段階の期間）は、垂直配向状態からホモジニアス配向になるまでの時間である。

【 0 0 5 2 】

以上のような電圧処理において、最初の電圧処理によって、それ以前に書き込まれた状態が完全に消去される。すなわち、コレステリック液晶 1 の配向状態は垂直状態になる。そして、最初の電圧処理における電位差 0 の期間でコレステリック液晶 1 の配向状態はプレナーに変化する。また、次の電圧処理によって、フォーカルコニックに書き込まれる。

【 0 0 5 3 】

第 1 ～ 第 3 の段階終了後にマトリクス駆動（線順次駆動）がなされることによってコントラストの高い表示画像を得ることができる。なお、第 1 の段階において、電圧印加時間を図 2 ～ 図 4 に示された印加時間よりも短くしても、電圧振幅を増加させることによって、最初の電圧処理の段階であるプレナーへの書き込みを実現することができる。

【 0 0 5 4 】

また、フォーカルコニックへの書き込みに対応する次の電圧処理（第 3 の段階）において印加時間を短くしていくと、フォーカルコニックとプレナーの中間状態が得られる。その後、個々の表示データの書き込みによって、オン時には、中間状態からプレナー表示が得られ、オフ時には、中間状態から完全なフォーカルコニックが得られる。従ってその場合にも、高速で高コントラストの表示が実現できる。

【 0 0 5 5 】

すなわち、第 3 の段階において、コレステリック液晶の状態を十分にフォーカルコニックにするような振幅の電圧を印加するのではなく、コレステリック液晶の状態をプレナーとフォーカルコニックの中間の状態にするような振幅の電圧を印加してもよい。すなわち、十分にフォーカルコニックにする場合に比べて、より低い電圧を印加したり、電圧印加期間を短くしてもよい。第 1 ～ 第 3 の段階に続く線順次駆動期間において、選択時にオフ表示するとき、すなわちフォーカルコニックにするときの印加電圧が十分にフォーカルコニックにするような振幅の電圧であれば、コントラストのよい表示を得ることができる。

【 0 0 5 6 】

以下、具体的な実施例を説明する。図 5 は、液晶パネルを駆動するための一般

的な駆動装置の概略構成を示すブロック図である。図5に示す駆動回路において、コントローラ11から制御信号としてFR信号（フレーム信号）、LP信号（ラッチパルス：行切替信号）、M信号（交流化信号：出力反転信号）および／DOFF信号（非表示指示信号）が行ドライバ12に入力される。列ドライバ13には、コントローラ11から制御信号としてLP信号、CP信号（クロックパルス）、M信号および／DOFF信号と表示データとが入力される。

【0057】

行ドライバ12は、FR信号がハイレベルになると先頭行を選択する。LP信号は選択行を1行ずつシフトすることを示す信号に相当する。M信号は、交流化のための信号である。CP信号は、コントローラ11から表示データを列ドライバ13に転送するためのクロックとして用いられる。／DOFF信号がローレベルになると、行ドライバ12および列ドライバ13は、液晶パネル100に印加する電圧レベルをそれぞれ所定のレベル（消去時のレベルV0）にする。／DOFF信号がハイレベルになっているときは通常書き込みの状態である。

【0058】

【例1】液晶パネルを以下のように作成した。すなわち、ストライプ状に形成された透明電極を持つガラス基板の液晶層と接する面にスピナーコーティングによってポリイミド薄膜を形成し、その後、上下基板面に直径4 μ mの樹脂性のスパーサーを散布し、ストライプ状電極が交錯するようにガラス基板を合わせた。そして、基板端に設けられた注入口より液晶材料を真空注入した。

【0059】

ポリイミド薄膜としてSE-100（日産化学社製）を用いた。ネマチック液晶材料としてBL-002（メルク社製）を用い、カイラル剤としてR-811およびCB-15を用いた。それぞれの混合比は、BL-002／R-811／CB-15＝66.5／16.75／16.75％である。このときの選択反射を生じる中心波長は540nmであった。また、パネルサイズは240ライン×320ドットであり、解像度は100dpiである。

【0060】

液晶パネル10の全画面を初期化するために、表示シーケンスの開始時に、パ

ネル全体に 4 0 V の電圧を 1 3 . 2 m s 間印加した。それに続いて、液晶パネル 1 0 に印加される電圧が 0 になる無印加時間を 1 m s 設けた。その後、フォーカルコニックにするための電圧条件として 2 3 V の電圧を 1 3 . 2 m s 間全画素に印加した。そして、線順次駆動を実施した。

【 0 0 6 1 】

具体的な駆動手順について図 6 のタイミング図を用いて説明する。例えば行ドライバ 1 2 が全行電極に V_r を印加し、列ドライバ 1 3 が全列電極に V_c を印加する状態にする。ここで、 V_r は例えば 3 5 V であり、 V_c は例えば - 5 V である。すると、液晶パネル 1 0 の全画素に 4 0 V の電圧が印加される。図 6 において、4 0 V の電圧が印加される期間がリセット部として示されている。また、リセット部は第 1 の期間に相当する。

【 0 0 6 2 】

その後、印加電圧が 0 になる無印加状態を 1 m s 続けた後、2 3 V の電圧が 1 3 . 2 m s 間全画素に印加されるようにする。具体的には、行ドライバ 1 2 および列ドライバ 1 3 によって $V_r - V_c$ の電圧が印加されるようにする。図 6 において、それらの期間が無印加部およびフォーカルコニック部として示されている。無印加部は第 2 の期間に相当し、フォーカルコニック部は第 3 の期間に相当する。

【 0 0 6 3 】

続いて、表示データの書き込みすなわち線順次駆動が始まる。線順次駆動では、選択行が順番に入れ替わり、それに同期して列電極に表示データに応じた列電圧が出力される。駆動電圧波形は適当な周期で極性反転され交流化される。線順次駆動期間において、選択時にはオン表示（プレナー）では $V_r + V_c$ の電圧が印加され、オフ表示（フォーカルコニック）では $V_r - V_c$ の電圧振幅が印加される。この例では、 V_r を 3 5 V、 V_c を 5 V とした。また 1 回あたり行電極が選択される期間を 3 . 3 m s とした。図 6 において、線順次駆動期間はアドレッシング部として示されている。

【 0 0 6 4 】

表示データを書き込む前の一連の電圧処理によって、液晶パネル 1 0 は確実に

フォーカルコニックになったことが確かめられた。また、以上の条件でテストパターンを表示したところ、残像もなく、高コントラストの表示が得られた。

【 0 0 6 5 】

〔比較例 1〕例 1 の駆動条件のうち、液晶パネル 1 0 全体に 4 0 V の電圧を 1 3 . 2 m s 間印加し、それに続いて、印加される電圧が 0 になる無印加時間を 1 m s 設けたことは同様であるが、次の電圧処理期間すなわち 2 3 V 電圧印加期間（フォーカルコニック部）を設けることなく、線順次駆動を開始しテストパターンを表示させた。すると、残像はないが、コントラストの低い表示が得られた。この原因は、オフ時のフォーカルコニックへの書き込みが不十分だからである。

【 0 0 6 6 】

〔例 2〕例 1 の駆動条件のうち、液晶パネル 1 0 の全体に 4 0 V の電圧を 1 3 . 2 m s 間印加し、それに続いて、印加される電圧が 0 になる無印加時間を 1 m s 設けたことは同様であるが、次の電圧処理期間すなわちフォーカルコニック部において印加電圧を 2 4 V として 6 . 6 m s 間印加し、線順次駆動を開始しテストパターンを表示させた。すると、線順次駆動が開始される前の配向状態が、不十分なフォーカルコニックであるにも関わらず、線順次駆動による表示状態は、残像もなく、例 1 よりやや劣るがコントラストの高い表示状態であった。また、表示シーケンスに要する時間を例 1 に比べ短縮することができた。

【 0 0 6 7 】

以上のように、以前に書込まれた表示状態を完全に消去するには全画素を一旦垂直配向にする必要がある。そのために、例えば 4 0 V の電圧を液晶パネル 1 0 の全画素に所定期間（図 6 におけるリセット部）印加する。実用上は、印加電圧を低減するために印加時間を長くする必要がある。

【 0 0 6 8 】

なお、例 2 から、第 3 の段階であるフォーカルコニック部を短縮しても、コントラストが比較的高い表示状態が得られることがわかる。フォーカルコニック部を短縮すると、線順次駆動が開始される前の配向状態が不十分なフォーカルコニック、すなわち、フォーカルコニックとプレナーの中間の状態になっているが、線順次駆動時にオフ表示としてフォーカルコニックが書き込まれるので、比較的

高いコントラストが得られる。従って、垂直配向にするための電圧条件を V_1 （リセット部の電圧値）および T_1 （リセット部の期間）、フォーカルコニックに書き込むための電圧条件を V_2 （フォーカルコニック部の電圧値）および T_2 （フォーカルコニック部の期間）とすると、 $V_1 > V_2$ かつ $T_1 > T_2$ であればよい。

【0069】

〔比較例2〕例2の駆動条件のうち、液晶パネル10の全体に40Vの電圧を13.2ms間印加する処理を省いた。すると、残像の多い表示となった。

【0070】

〔例3〕例1の駆動条件において、無印加部の時間を0.3～100msの間で振ったところ、例1の場合と同様に良好な表示が得られた。

【0071】

〔比較例3〕例1の駆動条件において、無印加部の時間を0～0.3msの間で振ったところ、線順次駆動の駆動条件をどのように変えても、例1と同様のコントラストを得ることができなかった。また、無印加部の時間が100msを越えた場合には、書き込み時間が長くなりすぎて、視認者は不自然な感じを受けた。このことから、無印加部の時間は、少なくとも0.3ms以上で100ms以下に設定されていることが好ましいことがわかる。

【0072】

〔例4〕例1の駆動条件において、線順次駆動による表示データの書き込み時に、選択期間に対して列電極の印加時間を均等に10分割し、分割された各期間に階調データに応じたオンとオフに相当する電圧を列電極に印加にする。そして、そのような電圧印加方法によってテストパターンを表示したところ、表示データに応じた均一な階調表示が得られた。

【0073】

〔比較例4〕例1の駆動条件において、列電極の印加電圧をオンのときに V_c 、オフのときに $-V_c$ とし、階調データに応じて $n \times V_c$ ($-1 < n < 1$) の電圧値を列電極に印加した。電圧値を変えることによって10階調表示を行った。様々なテストパターンを表示させたところ、列電極に平行な表示むらが発生し不均

一な階調表示になった。

【 0 0 7 4 】

例 4 および比較例 4 の結果から、中間調表示を行う場合、パルス幅変調を使用すれば良好な階調表示を得ることができるが、振幅変調を使用した場合には良好な階調表示を得ることができないことがわかる。

【 0 0 7 5 】

次に、コレステリック液晶を用いた液晶パネルを駆動する駆動回路の具体的な実施の形態を説明する。単純マトリックス型 S T N 液晶表示素子の基本的な駆動方式である線順次選択法（例えば、A P T : Alto Pleshko Technique やそれを改良した I A P T : Improved APT）を実現する駆動回路（ドライバ）が広く用いられている。

【 0 0 7 6 】

コレステリック液晶の初期状態を安定状態であるフォーカルコニックにするには、以前の書き込みによってプレナーまたはフォーカルコニックにメモリされている素子に一旦高電圧を印加してプレナーにさせた後に、フォーカルコニックにするための電圧を印加する必要があることはすでに述べた。

【 0 0 7 7 】

単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T 駆動ドライバは、1 つの行電極ずつにしか選択電圧を印加できない。従って、それを用いてコレステリック液晶表示パネルの全面の初期状態をフォーカルコニックに揃えるには、プレナーへの遷移に少なくとも 1 フレーム期間がかかり、さらに、フォーカルコニックへの遷移に少なくとも 1 フレーム期間がかかる。ただし、プレナーへの遷移を 1 フレーム期間で行うには、アドレッシング時の 1 選択時間で行わなければならないので、オン電圧よりも高い電圧を印加する必要が生ずる。それを実現するのはドライバの耐圧の問題から困難である。逆に、オン電圧と等しい印加電圧で十分な垂直配向を得ようとする、1 選択時間を長くしなければならず、初期化に要する時間が書き込み時間よりも長くなる。

【 0 0 7 8 】

すなわち、単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T

駆動ドライバをコレステリック液晶表示パネルにそのまま適用しようとする、上述した電圧印加処理（第1の段階～第3の段階）を実現できず、初期化に要する時間が1画面を選択する時間の数倍程度になってしまう。すなわち、初期化を含めた1画面の書き換えに必要な時間が長くなってしまふ。

【0079】

そこで、以下、単純マトリックス型STN液晶表示素子を駆動するためのIAPT駆動ドライバを用いて上述した電圧印加処理による初期化を実現できる駆動装置を提案する。

【0080】

図7および図8は、IAPT駆動ドライバの機能を説明するための説明図である。図7に示すように、列ドライバと行ドライバはそれぞれ4レベルの液晶駆動電圧を必要とするが、システム全体では6レベルの電圧が必要になる。ここで、 V_r は選択時に行電極に印加される電圧であり、 V_c は行電極に印加されるオン電圧とオフ電圧の差の $1/2$ である。

【0081】

図8に示すように、出力電圧はレベル信号である極性反転信号（M信号）と非表示指示信号（ $\neg DOFF$ 信号）に応じて、行ドライバおよび列ドライバでそれぞれ決定される。ただし、 $\neg DOFF$ 信号がローレベルである場合には行ドライバおよび列ドライバの全出力は、他の入力信号に関わらず V_0 レベルを出力する。

【0082】

図9は、液晶駆動装置の第1の実施の形態を示すブロック図である。この実施の形態では、図5に示す一般的な駆動回路に対して、信号変換回路14が設けられている。信号変換回路14は、コントローラ（信号制御回路）11と行ドライバ12および列ドライバ13との間に設置され、信号制御回路11からの各信号にもとづいて、上述した第1段階（リセット部）、第2の段階（無印加部）および第3の段階（フォーカルコニック部）を作成するための信号を作成し、行ドライバ12および列ドライバ13に供給する。なお、ここでは、信号変換回路14は信号制御回路11と独立したものとして説明を進めるが、それらは一体化され

ていてもよい。一体化されている場合には、信号のタイミングを最適化できるので、初期化に要する時間を短くすることが可能である。

【 0 0 8 3 】

また、M信号は信号変換回路 1 4 が作成した極性反転信号であり、DATAは信号変換回路 1 4 が作成した表示データである。DATAは、アドレッシング部では信号制御回路 1 1 が出力する表示データと同じになる。／DOFF 1 信号は信号変換回路 1 4 が作成し列ドライバ 1 3 に供給される／DOFF 信号であり、／DOFF 2 信号は信号変換回路 1 4 が作成し行ドライバ 1 2 に供給される／DOFF 信号である。

【 0 0 8 4 】

コレステリック液晶表示素子は一度データが書き込まれると、その表示状態を保持するのでフレーム周期毎に書き込みを行う必要はないが、データの書き換えを必要とするタイミングを外部から指示する必要がある。そのための信号が図 9 に示すスタート信号（START 信号）である。START 信号はタイマによるある一定期間毎に有効になる信号でもよいし、表示データの発生源である MPU や外部スイッチからの表示書き換え指示信号であってもよい。図 9 には、MPU から出力される例が示されている。

【 0 0 8 5 】

図 1 0 は、第 1 の実施の形態における信号変換回路 1 4 の構成例を示すブロック図である。図 1 0 に示す信号変換回路 1 4 において、0. 5 ライン検出回路 2 1 は、LP 信号をトリガとして選択期間の 1 / 2 のタイミングを決定し、そのタイミングでレベルが反転するような信号を論理和回路 2 2 に出力する。ダウンカウンタ 2 4 は、FR 信号が入力されたら、(N - 1) をプリセットし、LP 信号の入力に応じてカウント値を 1 減ずるカウンタである。ここで、N は表示行数である。第 1 ～第 5 の比較器（以下、単に比較器という。）2 5, 2 6, 2 7, 2 8, 2 9 は、それぞれ、ダウンカウンタ 2 4 のカウント値を所定値と比較する。

【 0 0 8 6 】

論理和回路 2 2 は、DOFF 制御回路 3 1 からのマスク信号がローレベル状態であれば、0. 5 ライン検出回路 2 1 の出力信号を M 信号として行ドライバ 1 2

および列ドライバ13に出力し、マスク信号がハイレベル状態であれば、ハイレベルのM信号を行ドライバ12および列ドライバ13に出力する。また、セクタ23は、選択信号の状態に応じて、DATA信号として、信号制御回路11からの表示データ、ハイレベルのデータまたはローレベルのデータのいずれかを列ドライバ13に出力する。

【0087】

スタートフラグ回路30は、START信号をFR信号で同期化し、スタートフラグをセットする。スタートフラグがセットされたことはDOFF制御回路31に通知される。また、スタートフラグは、DOFF制御回路31の指示に応じてリセットされる。DOFF制御回路31は、スタートフラグがセットされている状態において機能し、比較器25, 26, 27, 28, 29の出力の状況に応じて、列ドライバ13に／DOFF1信号を与えると同時に、行ドライバ12に／DOFF2信号を与える。また、論理和回路22に対してマスク信号を与え、セクタ23に対して選択信号を与える。

【0088】

次に、動作について図11のタイミング図を参照して説明する。比較器25, 26, 27, 29は、リセット部（第1の段階）の長さをA、無印加部（第2の段階）の長さをB、フォーカルコニック部（第3の段階）の長さをCに設定するために設けられている。各比較器25～29は、LP信号をダウンカウントするダウンカウンタ24のカウント値を導入して、カウント値と所定値とを比較し、それらが一致したら一致信号を出力する。

【0089】

なお、この実施の形態では、リセット部の長さAを設定するための第1の期間設定手段は、ダウンカウンタ24および比較器25, 26で実現される。無印加部の長さBを設定するための第2の期間設定手段は、ダウンカウンタ24および比較器26, 27で実現される。フォーカルコニック部の長さCを設定するための第3の期間設定手段は、ダウンカウンタ24および比較器27, 29で実現される。第1～第3の段階において所定電圧を印加する電圧印加手段は、論理和回路22、セクタ23およびDOFF制御回路31で実現される。

【 0 0 9 0 】

比較器 2 5 の比較のための所定値は $(A + B + C)$ であり、比較器 2 6 の比較のための所定値は $(A + B)$ である。また、比較器 2 7 の比較のための所定値は B であり、比較器 2 8 の比較のための所定値は 1 である。そして、比較器 2 9 の比較のための所定値は 0 である。なお、 $A + B + C < N$ (N は表示行数) である。

【 0 0 9 1 】

スタートフラグがセットされていない状態では、DOFF 制御回路 3 1 は、全ての列電極および行電極が電位 V_0 である無印加状態になるように、列ドライバ 1 3 および行ドライバ 1 2 に対する非表示指示信号 (\neg DOFF 1 信号および \neg DOFF 2 信号) をローレベルに固定する。よって、コレステリック液晶パネル 1 0 は、信号制御回路 1 1 からの信号状態に関わらず電圧無印加状態となる。また、M 信号および DATA 信号をハイレベルを固定するために、論理和回路 2 2 へのマスク信号をハイレベルに固定し、セクタ 2 3 への選択信号をハイレベル (“ 1 ”) が選択されるように設定する。START 信号が入力された後、FR 信号が入力されると、スタートフラグ回路 3 0 において、スタートフラグがセットされる。FR 信号はフレーム周期毎に入力される。

【 0 0 9 2 】

FR 信号が入力されるとダウンカウンタ 2 4 に $(N - 1)$ がプリセットされる。以後、ダウンカウンタ 2 4 は、行切替信号 (LP 信号) をダウンカウントする。比較器 2 5 は、ダウンカウンタ 2 4 のカウント値が $(A + B + C)$ に一致すると DOFF 制御回路 3 1 に一致信号を出力する。DOFF 制御回路 3 1 は、 \neg DOFF 1 信号および \neg DOFF 2 信号がともにローレベルである状態のときに比較器 2 5 からの一致信号を受け、さらに、LP 信号が入力されると、列ドライバ 1 3 への \neg DOFF 1 信号をハイレベルに固定する。この結果、図 8 に示す関係にもとづいて、全ての列電極の電圧レベルが $V_5 (V_r + V_c)$ となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。例えば、 $V_r = 3.5 \text{ V}$ 、 $V_c = 5 \text{ V}$ であれば、液晶印加電圧は 4.0 V である。

【 0 0 9 3 】

比較器 2 6 は、ダウンカウンタ 2 4 のカウント値が $(B + C)$ に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号がハイレベルで、かつ、 \neg D O F F 2 信号がローレベルである状態のときに比較器 2 6 からの一致信号を受け、さらに、L P 信号が入力されると、列ドライバ 1 3 への \neg D O F F 1 信号をローレベルに固定する。この結果、図 8 に示す関係にもとづいて、コレステリック液晶表示パネル 1 0 は電圧無印加状態になる。

【 0 0 9 4 】

また、このとき、D O F F 制御回路 3 1 は、セクタ 2 3 への選択信号をローレベル (" 0 ") が選択されるように設定する。

【 0 0 9 5 】

液晶印加電圧が $V_r + V_c$ に変化した時点から電圧無印加状態になるまでの期間は、ダウンカウンタ 2 4 のカウント値が「A」進む間の期間であり、図 1 1 に示すように、この期間がリセット部となる。

【 0 0 9 6 】

比較器 2 7 は、ダウンカウンタ 2 4 のカウント値が C に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号および \neg D O F F 2 信号がともにローレベルである状態のときに比較器 2 7 からの一致信号を受け、さらに、L P 信号が入力されると、列ドライバ 1 3 への \neg D O F F 1 信号をハイレベルに固定する。この結果、図 8 に示す関係にもとづいて、全ての列電極の電圧レベルは V_3 ($V_r - V_c$) となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r - V_c$ となる。例えば、 $V_r = 3.5\text{ V}$ 、 $V_c = 5\text{ V}$ であれば、液晶印加電圧は 3.0 V である。

【 0 0 9 7 】

液晶印加電圧が電圧無印加状態に変化した時点から $V_r - V_c$ になるまでの期間は、ダウンカウンタ 2 4 のカウント値が「B」進む間の期間であり、図 1 1 に示すように、この期間が無印加部となる。

【 0 0 9 8 】

比較器 2 8 は、ダウンカウンタ 2 4 のカウント値が 1 に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号がハイレベルで、かつ、 \neg D O F F 2 信号がローレベルである状態のときに比較器 2 8 からの一致信号を受け、さらに、L P 信号が入力されると、セクタ 2 3 への選択信号を、D A T A 信号として表示データを選択させるように変化させる。

【 0 0 9 9 】

比較器 2 9 は、ダウンカウンタ 2 4 のカウント値が 0 に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号がハイレベルで、かつ、 \neg D O F F 2 信号がローレベルである状態のときに比較器 2 9 からの一致信号を受け、さらに、L P 信号が入力されると、列ドライバ 1 3 および行ドライバ 1 2 への \neg D O F F 1 信号および \neg D O F F 2 信号をハイレベルに固定する。また、論理和回路 2 2 へのマスク信号をローレベルに固定し、0. 5 ライン検出回路 2 1 の出力が M 信号となるようにする。従って、線順次駆動によって D A T A 信号と M 信号に応じた表示がなされるアドレッシング部が開始される。このとき、オン電圧は $V_r + V_c$ 、オフ電圧は $V_r - V_c$ となる。

【 0 1 0 0 】

液晶印加電圧が $V_r - V_c$ に変化した時点からオン/オフに応じた電圧になるまでの期間は、ダウンカウンタ 2 4 のカウント値が「C」進む間の期間であり、図 1 1 に示すように、この期間がフォーカルコニック部となる。

【 0 1 0 1 】

さらに、列ドライバ 1 3 と行ドライバ 1 2 への非表示指示信号である \neg D O F F 1 信号と \neg D O F F 2 信号とがともにハイレベルである状態で、比較器 2 9 から一致信号が出力されると、D O F F 制御回路 3 1 は、スタートフラグをリセットするとともに、 \neg D O F F 1 信号と \neg D O F F 2 信号とをともにローレベルに固定して全画素に対する液晶印加電圧を 0 V にする。よって、コレステリック液晶表示素子は書き込み状態を記憶したままの状態になる。また、論理和回路 2 2 へのマスク信号をハイレベルに固定するとともに、セクタ 2 3 の出力がハイレ

ベルに固定されるように選択信号を切り替える。そして、次に S T A R T 信号が入力されるまでその状態を保持する。

【 0 1 0 2 】

以上に説明したように、第 1 の実施の形態では、従前の液晶駆動装置が取り扱うことができる M 信号と / D O F F 信号とを利用することによって、第 1 の段階～第 3 の段階、すなわち、リセット部、無印加部およびフォーカルコニック部を作成する。従って、単純マトリックス型 S T N 液晶表示素子を駆動するための I A P T 駆動ドライバを用いて、本発明による電圧印加処理による初期化を実現できる駆動装置を実現することができる。

【 0 1 0 3 】

図 1 2 は、液晶駆動装置の第 2 の実施の形態を示すブロック図である。この実施の形態では、信号変換回路 1 4 は電圧切替指示信号である S E L 信号も出力する。また、電源装置 1 5 およびスイッチ回路 1 6 が設けられている。電源装置 1 5 は、液晶表示パネルを駆動するための通常の電圧である V L C D 1 の他に、任意の電圧レベルである V L C D 2 を供給可能である。この実施の形態では、電源装置 1 5 およびスイッチ回路 1 6 も、第 1 ～第 3 の段階において所定電圧を印加する電圧印加手段の一部である。

【 0 1 0 4 】

なお、V L C D 1 は通常書き込み時におけるオン電圧 $V_5 (V_r + V_c)$ に相当する電圧である。V L C D 2 も同様に $V_5 (V_r + V_c)$ に相当する電圧であるが、V L C D 1 と異なる値であり、例えば V L C D 1 が 4 0 V である場合に V L C D 2 が 2 4 V となるような電圧値である。スイッチ回路 1 6 は、信号変換回路 1 4 からの S E L 信号に応じて、V L C D 1 と V L C D 2 のうちのいずれかを行ドライバ 1 2 および列ドライバ 1 3 に必要な電圧レベルを分圧することによって供給する。

【 0 1 0 5 】

図 1 3 は、第 2 の実施の形態における信号変換回路 1 4 の構成例を示すブロック図である。図 1 3 に示す信号変換回路 1 4 において、0. 5 ライン検出回路 2 1、論理和回路 2 2、ダウンカウンタ 2 4、比較器 2 5 ～ 2 9 およびスタートフ

ラグ回路 30 は、第 1 の実施の形態のものと同様に動作する。DOFF 制御回路 31 において電源電圧切替を指示する SEL 信号の制御が追加される。また、第 1 の実施の形態では存在したセクタ 23 に代えて論理和回路 23A が設けられている。

【0106】

次に、図 14 のタイミング図を参照して動作について説明する。スタートフラグがセットされていない状態では、DOFF 制御回路 31 は、全ての列電極および行電極が電位 V_0 である無印加状態になるように、列ドライバ 13 および行ドライバ 12 に対する非表示指示信号（ \neg DOFF1 信号および \neg DOFF2 信号）をローレベルに固定する。よって、コレステリック液晶パネル 10 は、信号制御回路 11 からの信号状態に関わらず電圧無印加状態となる。また、M 信号および DATA 信号をハイレベルを固定するために、論理和回路 22 へのマスク信号および論理和回路 23A へのマスク信号をハイレベルに固定する。START 信号が入力された後、FR 信号が入力されると、スタートフラグ回路 30 において、スタートフラグがセットされる。FR 信号はフレーム周期毎に入力される。

【0107】

FR 信号が入力されるとダウンカウンタ 24 に $(N-1)$ がプリセットされる。以後、ダウンカウンタ 24 は、行切替信号（LP 信号）をダウンカウントする。比較器 25 は、ダウンカウンタ 24 のカウント値が $(A+B+C)$ に一致すると DOFF 制御回路 31 に一致信号を出力する。DOFF 制御回路 31 は、 \neg DOFF1 信号および \neg DOFF2 信号がともにローレベルである状態のときに比較器 25 からの一致信号を受け、さらに、LP 信号が入力されると、列ドライバ 13 への \neg DOFF1 信号をハイレベルに固定する。この結果、図 8 に示す関係にもとづいて、全ての列電極の電圧レベルが $V_5 (V_r + V_c)$ となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。例えば、 $V_r = 35\text{ V}$ 、 $V_c = 5\text{ V}$ であれば、液晶印加電圧は 40 V である。

【0108】

比較器 26 は、ダウンカウンタ 24 のカウント値が $(B+C)$ に一致すると D

OFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号がハイレベルで、かつ、 \neg DOFF2信号がローレベルである状態のときに比較器26からの一致信号を受け、さらに、LP信号が入力されると、列ドライバ13への \neg DOFF1信号をローレベルに固定する。この結果、図8に示す関係にもとづいて、コレステリック液晶表示パネル10は電圧無印加状態になる。

【0109】

液晶印加電圧が $V_r + V_c$ に変化してから電圧無印加状態になるまでの期間は、ダウンカウンタ24のカウント値が「A」進む間の期間であり、図14に示すように、この期間がリセット部となる。

【0110】

比較器27は、ダウンカウンタ24のカウント値がCに一致するとDOFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号および \neg DOFF2信号がともにローレベルである状態のときに比較器27からの一致信号を受け、さらに、LP信号が入力されると、列ドライバ13への \neg DOFF1信号をハイレベルに固定する。また、SEL信号をハイレベルに固定する。図12に示すスイッチ回路16は、SEL信号がハイレベルになったことに応じて、電源装置15からのVLCD2を選択して行ドライバ12および列ドライバ13に供給する状態になる。この結果、図8に示す関係にもとづいて、全ての列電極の電圧レベルは $V_5 (V_r + V_c)$ となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。しかし、この段階では、SEL信号がハイレベルであるから液晶印加電圧はVLCD2であり、リセット部および線順次駆動で用いられる通常の $V_r + V_c$ ($= VLCD1$)とは異なる。例えば、 $V_r + V_c = 24V$ である。

【0111】

液晶印加電圧が電圧無印加状態に変化した時点からVLCD2が供給開始されるまでの期間は、ダウンカウンタ24のカウント値が「B」進む間の期間であり、図14に示すように、この期間が無印加部となる。

【0112】

比較器 2 8 は、ダウンカウンタ 2 4 のカウント値が 1 に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号がハイレベルで、かつ、 \neg D O F F 2 信号がローレベルである状態のときに比較器 2 8 から的一致信号を受け、さらに、L P 信号が入力されると、論理和回路 2 3 A へのマスク信号をローレベルに固定して、D A T A 信号として表示データを出力させる。

【 0 1 1 3 】

比較器 2 9 は、ダウンカウンタ 2 4 のカウント値が 0 に一致すると D O F F 制御回路 3 1 に一致信号を出力する。D O F F 制御回路 3 1 は、 \neg D O F F 1 信号がハイレベルで、かつ、 \neg D O F F 2 信号がローレベルである状態のときに比較器 2 9 から的一致信号を受け、さらに、L P 信号が入力されると、列ドライバ 1 3 および行ドライバ 1 2 への \neg D O F F 1 信号および \neg D O F F 2 信号をハイレベルに固定する。そして、S E L 信号をローレベルに戻す。この結果、行ドライバ 1 2 および列ドライバ 1 3 には、電源装置 1 5 から V L C D 1 が供給される状態に戻る。また、論理和回路 2 2 へのマスク信号をローレベルに固定し、0 . 5 ライン検出回路 2 1 の出力が M 信号となるようにする。従って、線順次駆動によって D A T A 信号と M 信号に応じた表示がなされるアドレッシング部が開始される。このとき、オン電圧は $V_r + V_c$ 、オフ電圧は $V_r - V_c$ となる。

【 0 1 1 4 】

液晶印加電圧が V L C D 2 にもとづく電圧に変化した時点から通常のオン／オフに応じた電圧になるまでの期間は、ダウンカウンタ 2 4 のカウント値が「C」進む間の期間であり、図 1 4 に示すように、この期間がフォーカルコニック部となる。

【 0 1 1 5 】

さらに、列ドライバ 1 3 と行ドライバ 1 2 への非表示指示信号である \neg D O F F 1 信号と \neg D O F F 2 信号とがともにハイレベルである状態で、比較器 2 9 から一致信号が出力されると、D O F F 制御回路 3 1 は、スタートフラグをリセットするとともに、 \neg D O F F 1 信号と \neg D O F F 2 信号とをともにローレベルに固定して全面素に対する液晶印加電圧を 0 V にする。よって、コレステリック液

晶表示素子は書き込み状態を記憶したままの状態になる。また、論理和回路 2 2 へのマスク信号と論理和回路 2 3 A へのマスク信号とをハイレベルに固定し、M 信号および DATA 信号をハイレベルに固定する。そして、次に START 信号が入力されるまでその状態を保持する。

【 0 1 1 6 】

以上に説明したように、第 2 の実施の形態でも、従前の液晶駆動装置が取り扱うことができる M 信号と /DOFF 信号とを利用することによって、リセット部、無印加部およびフォーカルコニック部を作成することができる。従って、単純マトリックス型 STN 液晶表示素子を駆動するための IAPT 駆動ドライバを用いて、本発明による電圧印加処理による初期化を実現できる駆動装置を実現することができる。

【 0 1 1 7 】

しかも、第 2 の実施の形態では、フォーカルコニック部における電圧の振幅を任意の値に設定できる。従って、フォーカルコニック部に求められる最適の電圧値を用いることができる。なお、この実施の形態では、液晶駆動装置が、フォーカルコニック部における電圧の振幅を任意の値に設定できるように構成されたが、リセット部における電圧の振幅も任意の値に設定できるように構成してもよい。

【 0 1 1 8 】

上記の各実施の形態では、単純マトリックス型 STN 液晶表示素子を駆動するための既存の駆動ドライバを活用して、メモリ型コレステリック液晶表示装置の駆動装置を実現したが、もちろん、メモリ型コレステリック液晶表示装置の駆動装置は、既存の駆動ドライバを用いることなく実現可能である。

【 0 1 1 9 】

なお、上記の各実施の形態では、駆動装置を簡便に構成するために LP 信号を用いて第 1 ～ 第 3 の段階の長さを設定したが、上記の各実施の形態は駆動装置の一実現例であって、他の構成の駆動装置を実現することもできる。例えば、LP 信号以外のクロック信号にもとづいて第 1 ～ 第 3 の段階の長さを設定してもよい。その場合、より高周波数のクロック信号を用いれば、上記の各実施の形態の場

合に比べて、初期化に要する時間をより短縮することができる。

【 0 1 2 0 】

また、上記の各実施の形態では、第 1 の段階（リセット部）および第 3 の段階（フォーカルコニック部）において、コレステリック液晶に対して正のパルス状の電圧が印加されたが、それぞれの段階において、振幅の絶対値が等しい正のパルスと負のパルスとを印加するようにしてもよい。

【 0 1 2 1 】

【発明の効果】

本発明によれば、メモリ性コレステリック液晶を用いた液晶表示装置の駆動方法および駆動装置を、コレステリック液晶の配向が電圧印加方向に垂直になるように電圧を印加する第 1 の段階と、コレステリック液晶をプレナーに移行させるための電圧を印加する第 2 の段階と、コレステリック液晶をホモジニアス配向に移行させるための電圧を印加する第 3 の段階とが実行される構成にしたので、表示データの書き込みを行う前にコレステリック液晶を確実にフォーカルコニックに揃えることができ、高速書き込みを行っても残像を生じさせたりコントラストが低下することを防止でき、表示を高精細化した場合にも表示品位を高くすることができる効果がある。

【図面の簡単な説明】

【図 1】 コレステリック液晶を用いた液晶パネルの概略構成を示す断面図。

【図 2】 液晶パネルに電圧パルスを印加し消去して表示状態を確認する実験の実験結果の概略を示す説明図。

【図 3】 電圧パルスの幅を短くした場合の実験結果を示す説明図。

【図 4】 電圧パルスの幅を短くした場合の実験結果を示す説明図。

【図 5】 液晶パネルを駆動するための一般的な駆動装置の概略構成を示すブロック図。

【図 6】 駆動手順を示すタイミング図。

【図 7】 I A P T 駆動ドライバの機能を説明するための説明図。

【図 8】 制御信号と印加電圧との関係を示す説明図。

【図 9】 液晶駆動装置の第 1 の実施の形態を示すブロック図。

【図 1 0】 第 1 の実施の形態における信号変換回路の構成例を示すブロック図。

【図 1 1】 信号変換回路の動作を示すタイミング図。

【図 1 2】 液晶駆動装置の第 2 の実施の形態を示すブロック図。

【図 1 3】 第 2 の実施の形態における信号変換回路の構成例を示すブロック図。

【図 1 4】 信号変換回路の動作を示すタイミング図。

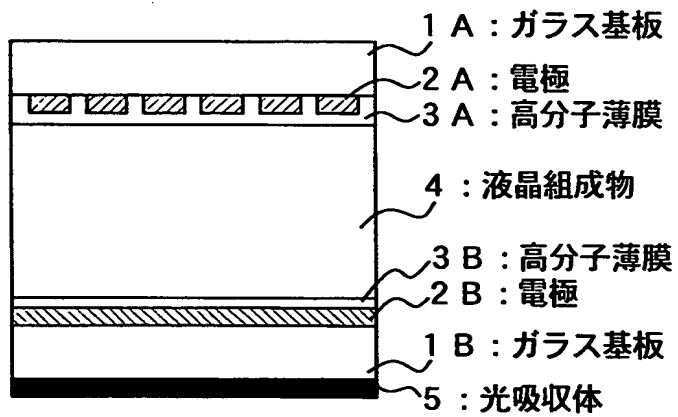
【図 1 5】 コレステリック液晶の配向状態を示す説明図。

【符号の説明】

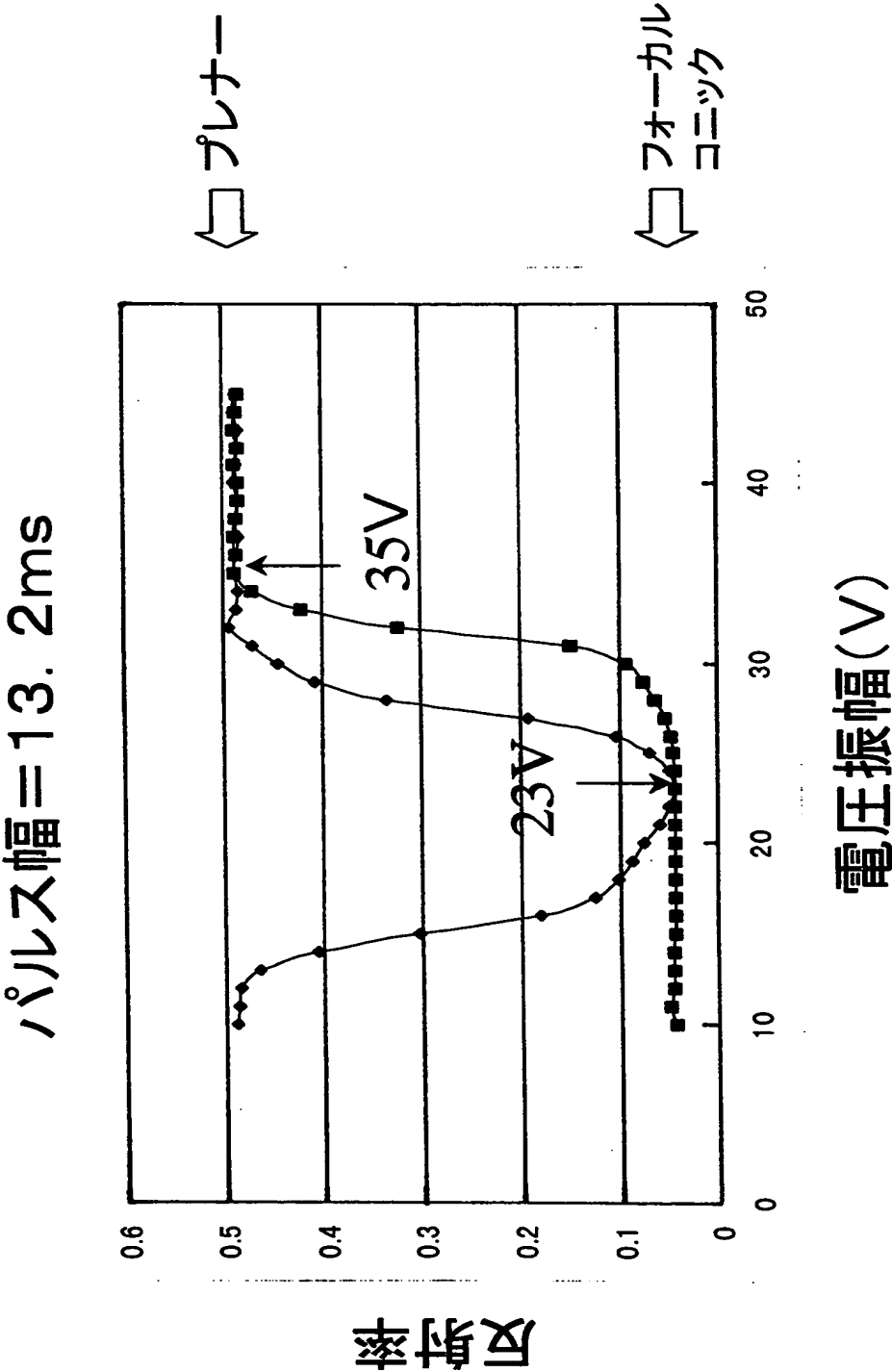
- 1 A, 1 B ガラス基板
- 2 A, 2 B 電極
- 3 A, 3 B 高分子薄膜
- 4 液晶組成物
- 5 光吸収体
- 1 0 コレステリック液晶パネル（液晶光学素子）
- 1 1 信号制御回路（コントローラ）
- 1 2 行ドライバ
- 1 3 列ドライバ
- 1 4 信号変換回路
- 1 5 電源装置
- 1 6 スイッチ回路
- 2 1 0. 5ライン検出回路
- 2 2 論理和回路
- 2 3 セレクタ
- 2 3 A 論理和回路
- 2 4 ダウンカウンタ
- 2 5 ～ 2 9 比較器
- 3 0 スタートフラグ回路
- 3 1 D O F F 制御回路

【書類名】 図面

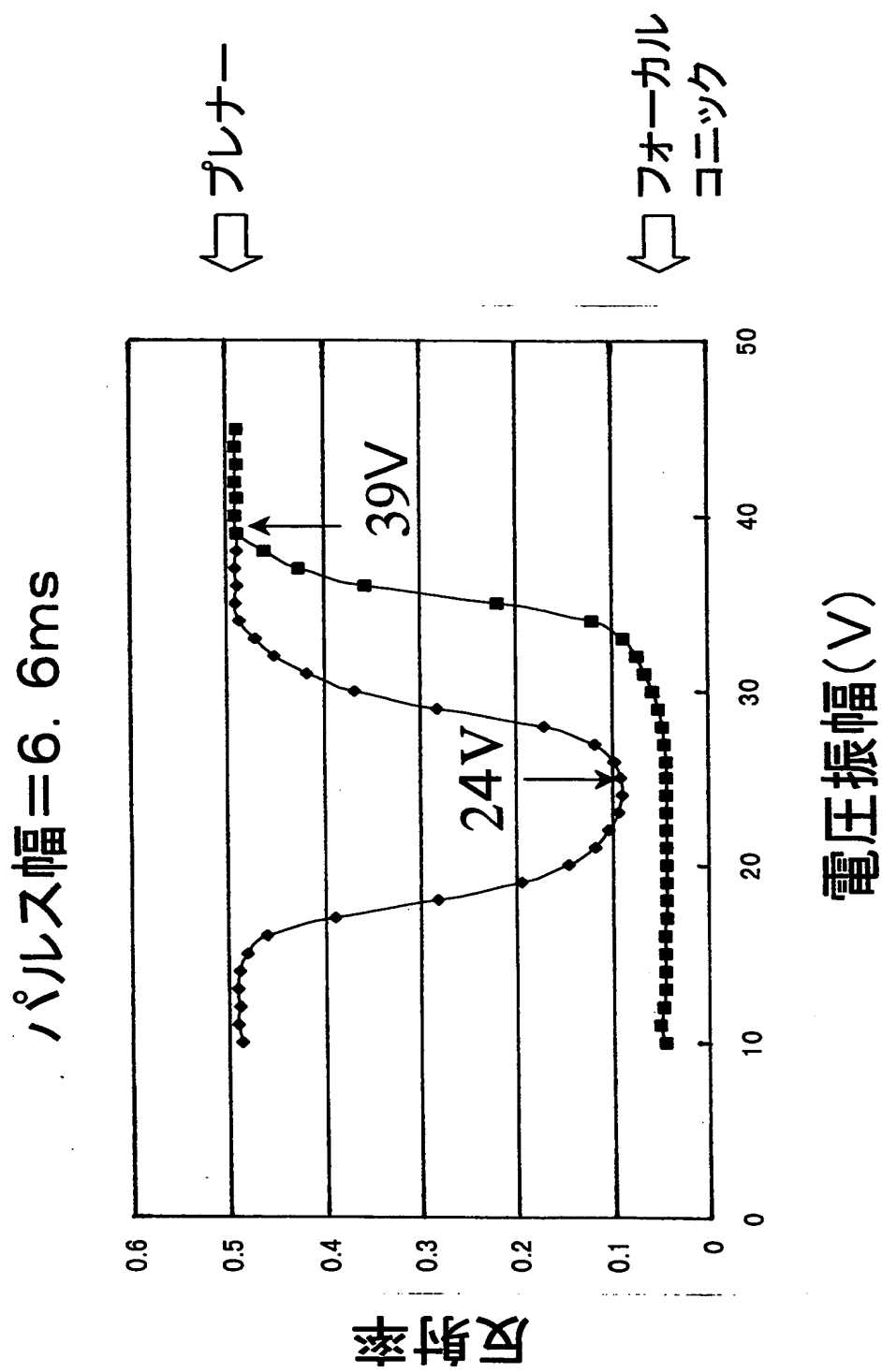
【図 1】



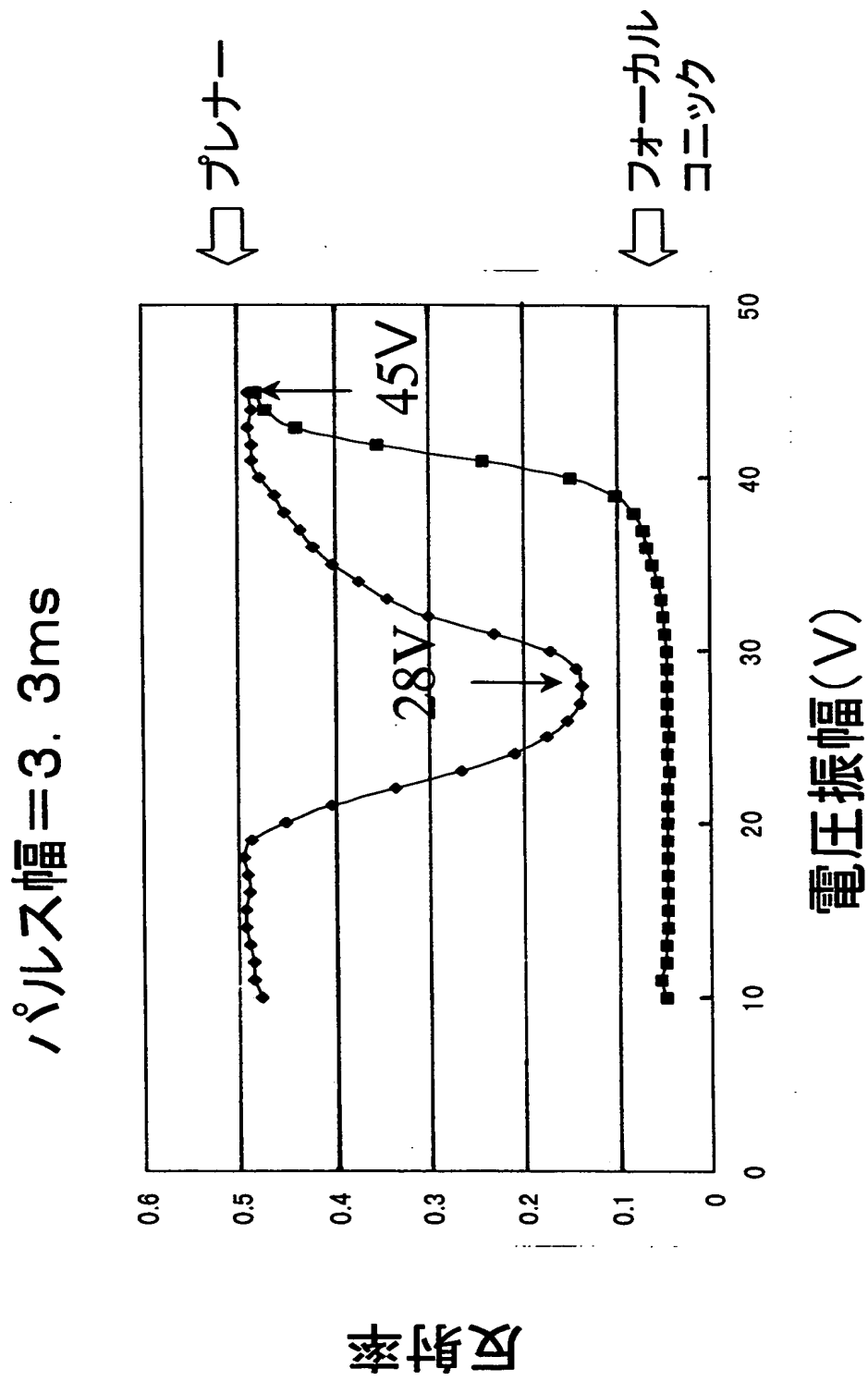
【図 2】



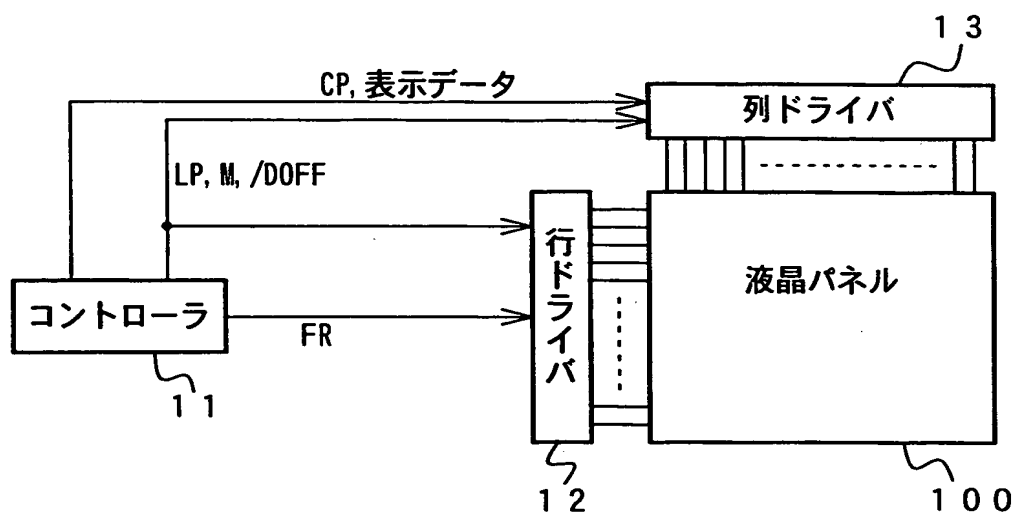
【図 3】



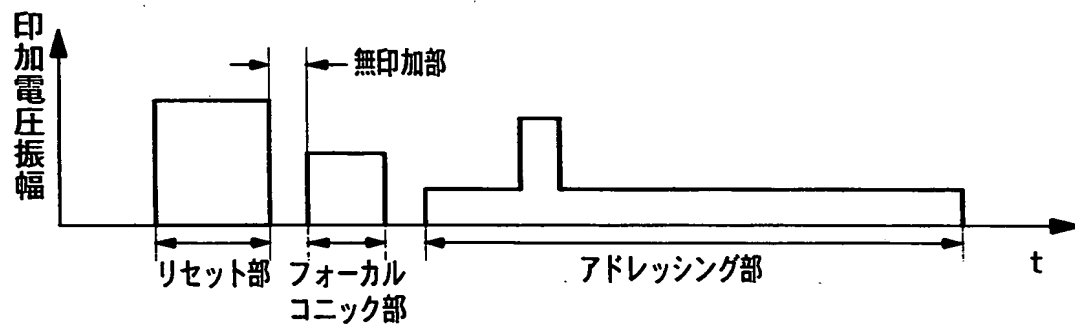
【図 4】



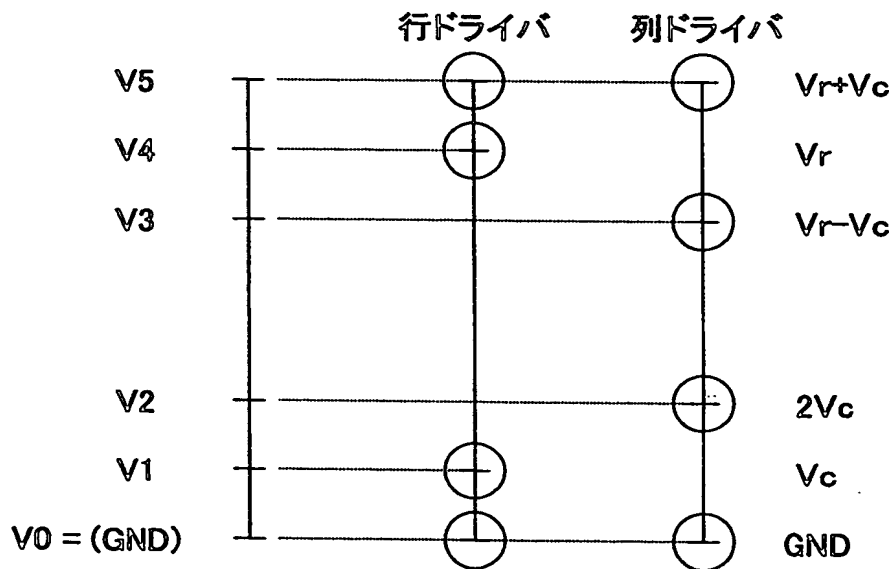
【図 5】



【図 6】



【図 7】



【図 8】

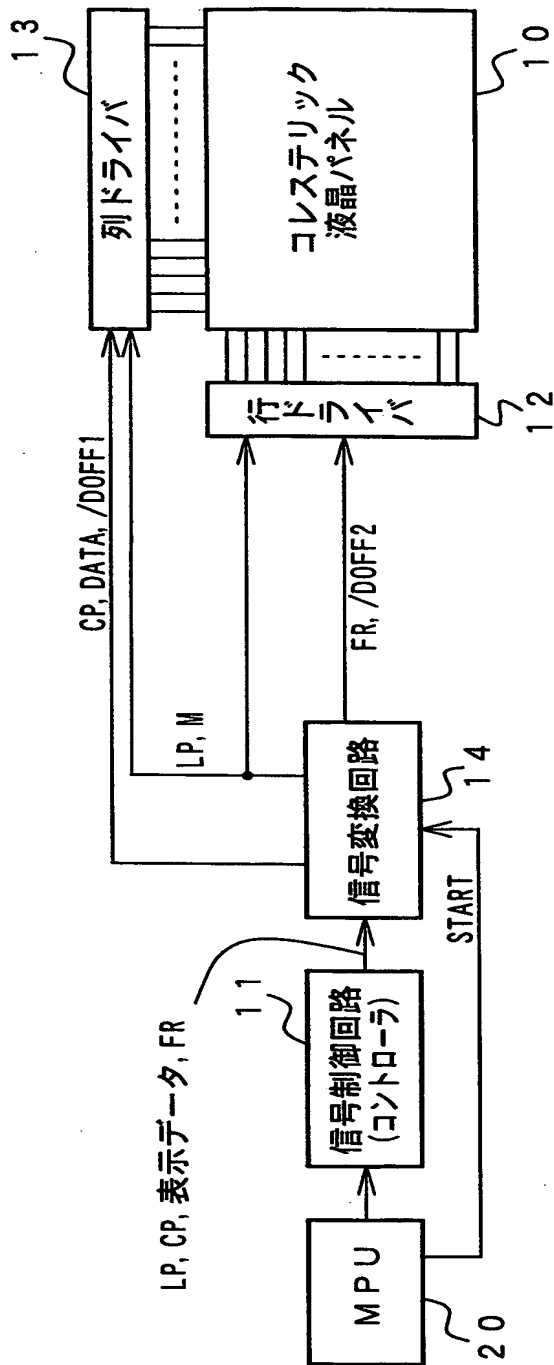
行ドライバ

| /DOFF | M | 選択/非選択 | 出力電圧 |
|-------|---|--------|------|
| H | L | 選択 | V5 |
| H | H | 選択 | V0 |
| H | L | 非選択 | V1 |
| H | H | 非選択 | V4 |
| L | X | X | V0 |

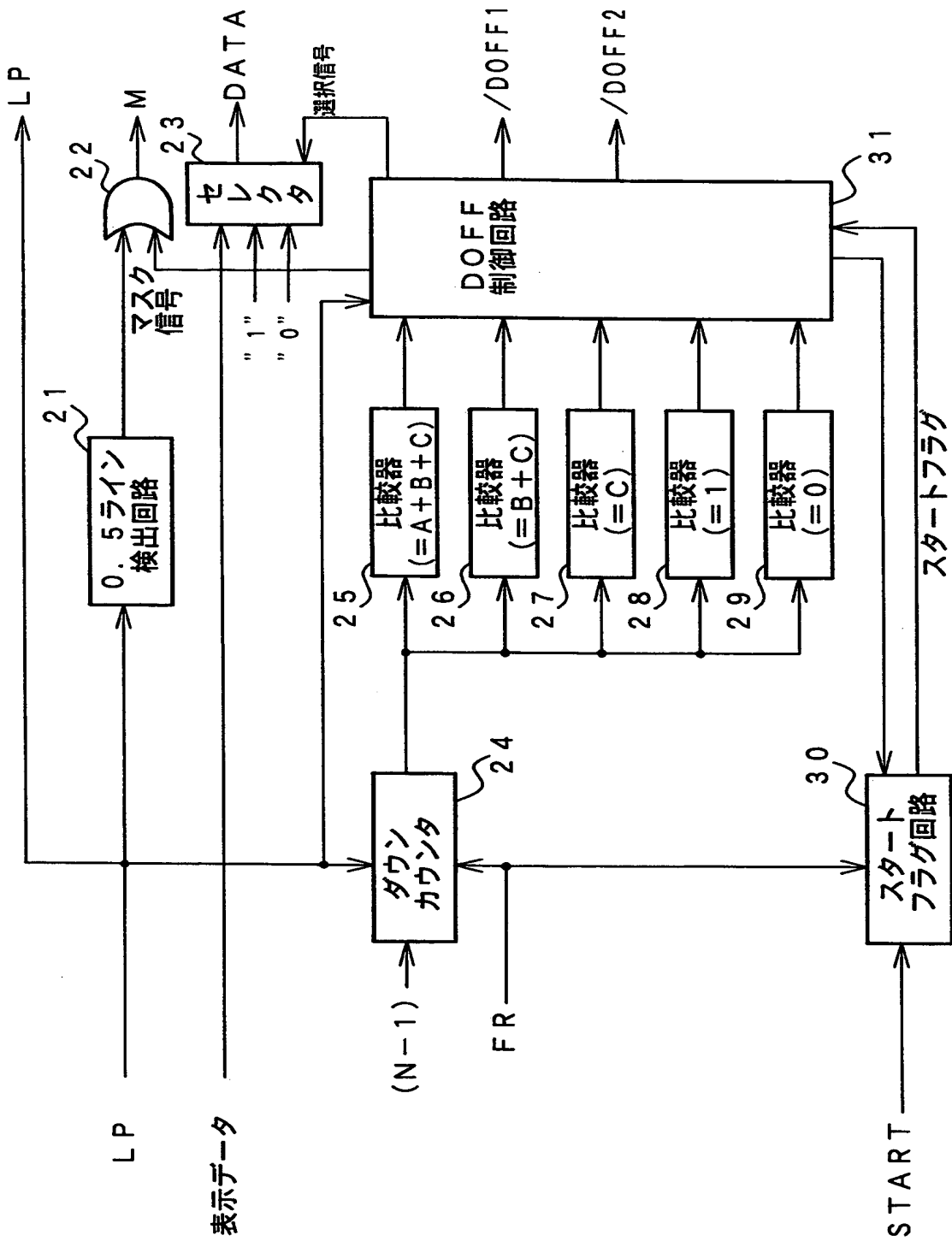
列ドライバ

| /DOFF | M | DATA | 出力電圧 |
|-------|---|------|------|
| H | L | H | V0 |
| H | H | H | V5 |
| H | L | L | V2 |
| H | H | L | V3 |
| L | X | X | V0 |

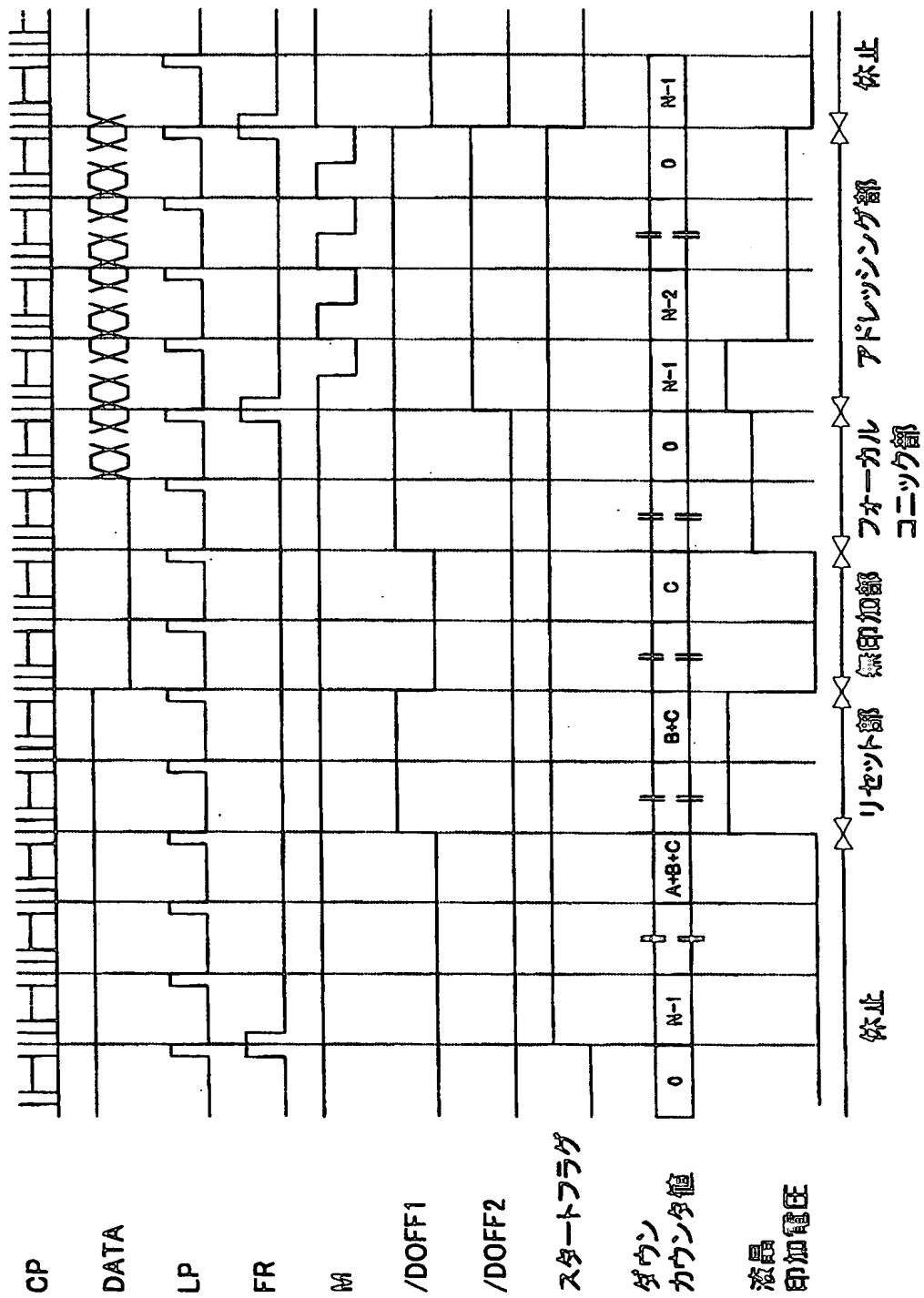
【図 9】



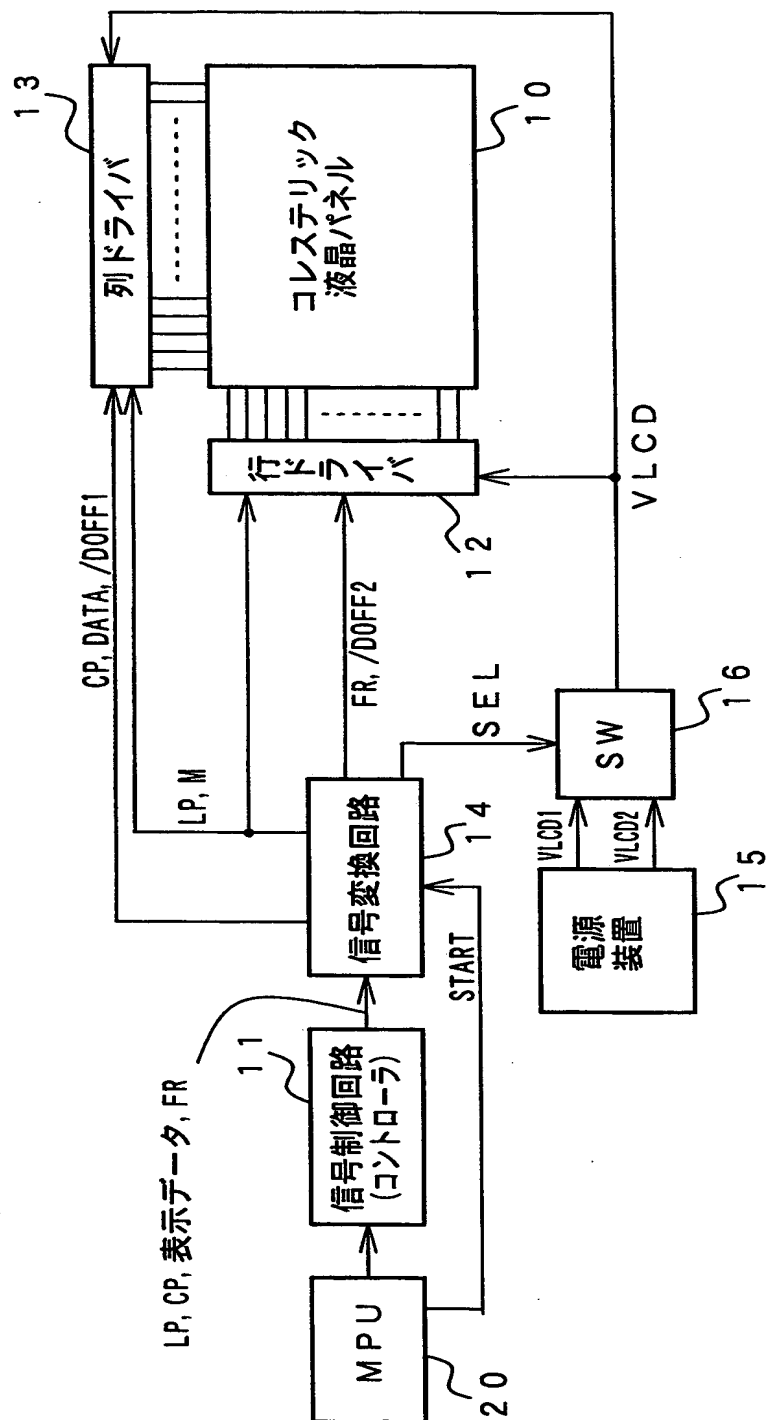
【図 10】



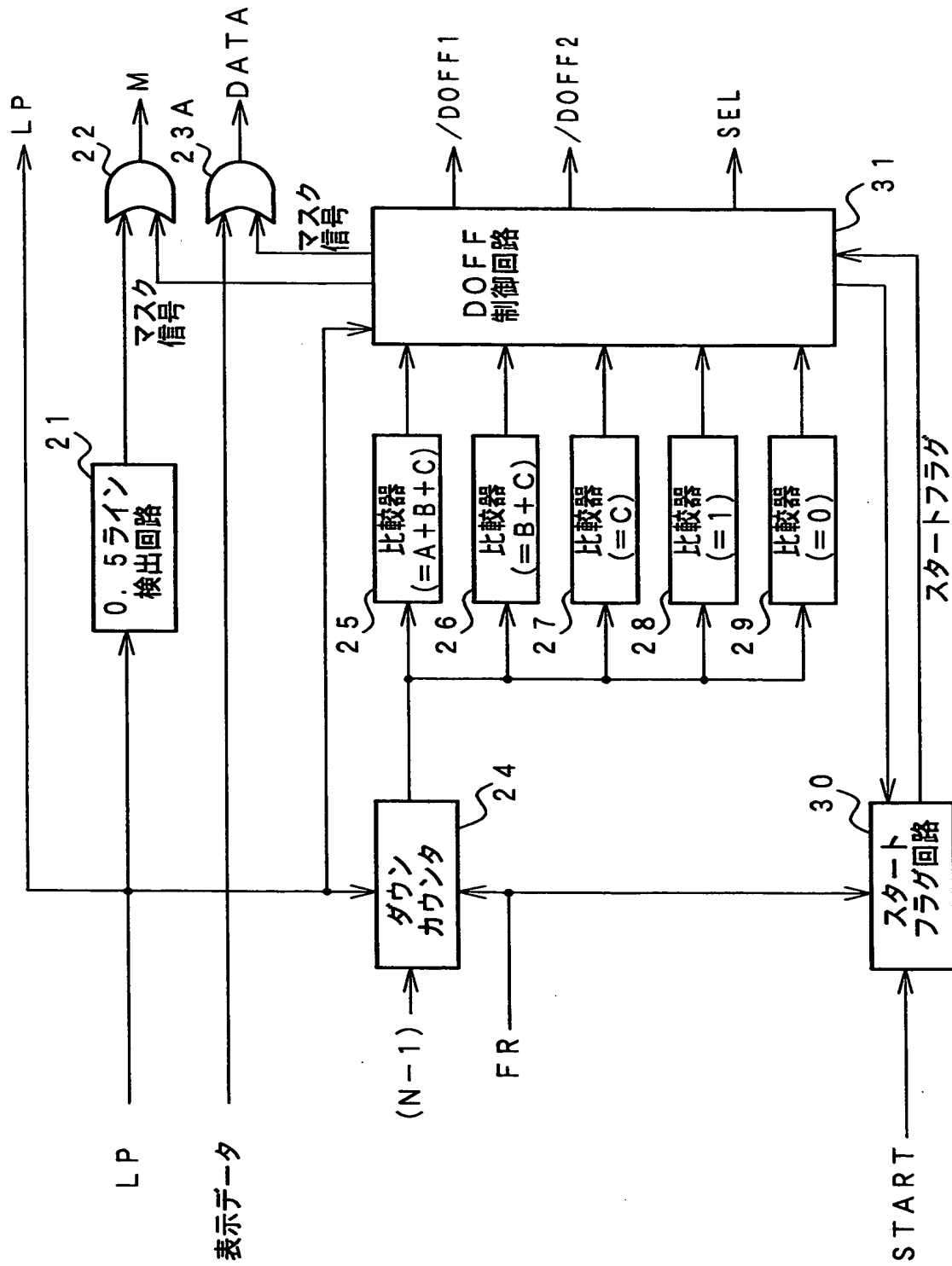
【図 1 1】



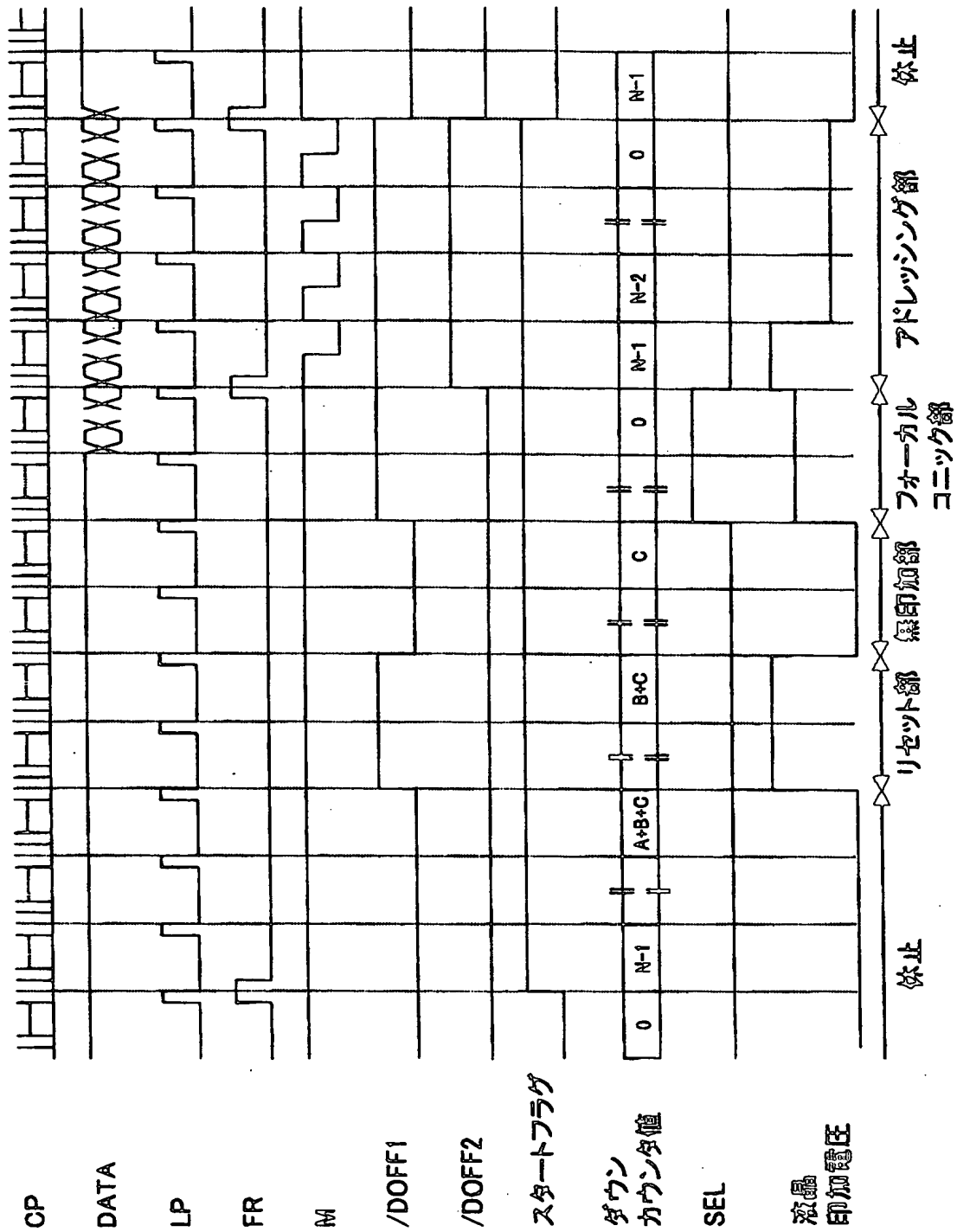
【図12】



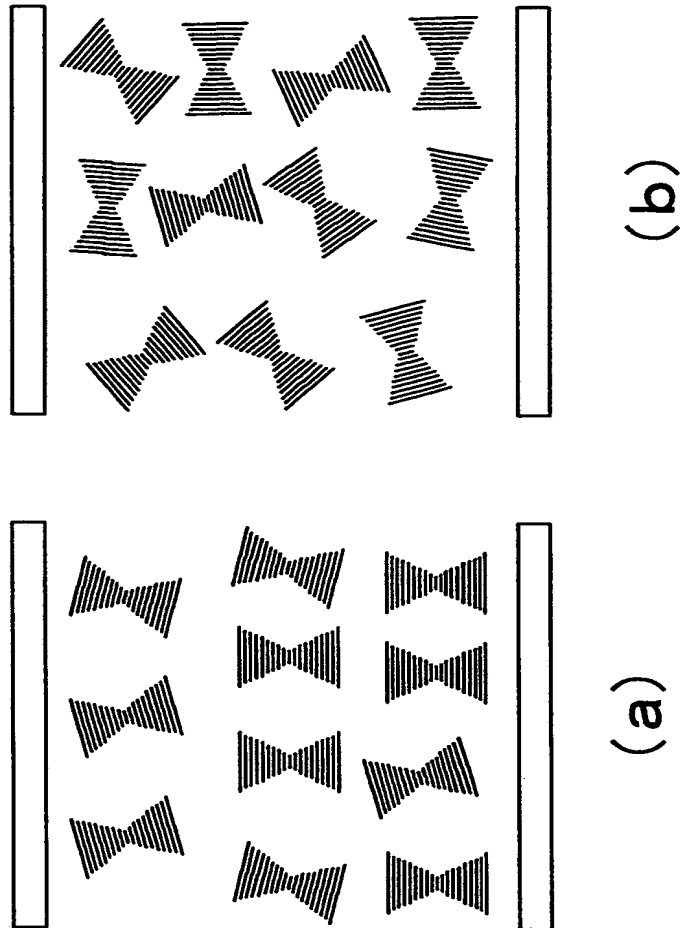
【図 13】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 コレステリック液晶表示装置において高速書き込みを行っても残像を生じさせたりコントラストが低下するのを防止する。

【解決手段】 線順次駆動が行われるアドレッシング部の前に、コレステリック液晶に高電圧が印加されるリセット部、電圧を印加しない無印加部、および比較的高電圧が印加されるフォーカルコニック部を設ける。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000103747]

1. 変更年月日 1998年 6月 1日
[変更理由] 住所変更
住 所 東京都荒川区東日暮里五丁目7番18号
氏 名 オプトレックス株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 0 4 4]

1. 変更年月日 1 9 9 9 年 1 2 月 1 4 日

[変更理由] 住所変更

住 所 東京都千代田区有楽町一丁目 1 2 番 1 号

氏 名 旭硝子株式会社